

---

# EM78P520N

8位

OTPROM微控制器

## 产品规格书

版本1.4

义隆电子股份有限公司

2016.03

---



**商标告知:**

IBM 为一个注册商标, PS/2 是 IBM 的商标之一。

Windows 是微软公司的商标。

ELAN 和 ELAN 标志  是义隆电子股份有限公司的商标。

版权所有 © 2016 义隆电子股份有限公司

**所有权利保留**

台湾印制

本使用说明文件内容如有变动恕不另作通知。关于该规格书的准确性、适当性或者完整性, 义隆电子股份有限公司不承担任何责任。义隆电子股份有限公司不承诺对本使用说明文件之内容及信息有更新及校正之义务。本规格书的内容及信息将为符合确认之指示而变更。

在任何情况下, 义隆电子股份有限公司对本使用说明文件中的信息或内容的错误、遗漏, 或者其它不准确性不承担任何责任。由于使用本使用说明文件中的信息或内容而导致的直接, 间接, 特别附随的或结果的损害, 义隆电子股份有限公司没有义务负责。

本规格书中提到的软件(如果有), 都是依据授权或保密合约所合法提供的, 并且只能在这些合约的许可条件下使用或者复制。

义隆电子股份有限公司的产品不是专门设计来应用于生命维持的用具, 装置或者系统。义隆电子股份有限公司的产品不支持而且禁止在这些方面的应用。

未经义隆电子股份有限公司书面同意, 任何个人或公司不得以任何形式或方式对本使用说明文件的内容之任一部分进行复制或传输。



**义隆电子股份有限公司**

**总公司:**

地址: 台湾新竹科学园区创新一路 12 号

电话: +886 3 563-9977

传真: +886 3 563-9966

[webmaster@emc.com.tw](mailto:webmaster@emc.com.tw)

<http://www.emc.com.tw>

**香港分公司:**

**义隆电子(香港)有限公司**

地址: 九龙观塘巧明街 95 号世达中心 19 楼 A 室

电话: +852 2723-3376

传真: +852 2723-7780

[elanhk@emc.com.hk](mailto:elanhk@emc.com.hk)

**USA:**

**Elan Information  
Technology Group (USA)**

P.O. Box 601

Cupertino, CA 95015

USA

Tel: +1 408 366-8225

Fax: +1 408 366-8225

**深圳分公司:**

**义隆电子(深圳)有限公司**

地址: 深圳市南山区高新技术产业园南区高新南六道迈科龙大厦 8A

邮编: 518057

电话: +86 755 2601-0565

传真: +86 755 2601-0500

[elan-sz@elanic.com.cn](mailto:elan-sz@elanic.com.cn)

**上海分公司:**

**义隆电子(上海)有限公司**

地址: 上海市浦东新区张江高科碧波路 5 号科苑大楼 6 楼

邮编: 201203

电话: +86 21 5080-3866

传真: +86 21 5080-0273

[elan-sh@elanic.com.cn](mailto:elan-sh@elanic.com.cn)

# 目录

1 综述.....	1
2 特性.....	1
3 引脚分配.....	2
4 引脚描述.....	4
5 功能结构图.....	9
6 功能描述.....	10
6.1 寄存器配置.....	10
6.1.1 R PAGE 寄存器配置 .....	10
6.2 寄存器操作.....	10
6.2.1 R0 (间接寻址寄存器).....	10
6.2.2 R1 (TCC).....	10
6.2.3 R2 (程序计数器).....	11
6.2.4 R3 (LVD 控制和状态) .....	11
6.2.5 R4 (RAM 选择寄存器).....	12
6.2.6 Bank 0 R5 (RAM Bank 选择寄存器) .....	12
6.2.7 Bank 0 R7 (Port 7) .....	13
6.2.8 Bank 0 R8 (Port 8) .....	13
6.2.9 Bank 0 R9 (Port 9) .....	13
6.2.10 Bank 0 RA (Port A).....	13
6.2.11 Bank 0 RB (Port B) .....	13
6.2.12 Bank 0 RC SCCR (系统时钟控制寄存器) .....	13
6.2.13 Bank 0 RD TWTCR (TCC 和 WDT 定时器控制寄存器).....	14
6.2.14 Bank 0 RE IMR (中断屏蔽寄存器) .....	15
6.2.15 Bank 0 RF ISR (中断状态寄存器).....	15
6.2.16 Bank 1 R5 LCDCR (LCD 控制寄存器).....	16
6.2.17 Bank 1 R6 LCDAR (LCD 地址寄存器) .....	17
6.2.18 Bank 1 R7 LCDBR (LCD 数据缓冲器) .....	17
6.2.19 Bank 1 R8 LCDVCR (LCD 电压控制寄存器) .....	17
6.2.20 Bank 1 R9 LCDCCR (LCD COM 控制寄存器 3).....	18
6.2.21 Bank 1 RA LCDSCR0 (LCD SEG 控制寄存器 0).....	18
6.2.22 Bank 1 RB LCDSCR1 (LCD SEG 控制寄存器 1) .....	18
6.2.23 Bank 1 RC LCDSCR2 (LCD SEG 控制寄存器 2) .....	19
6.2.24 Bank 1 RE EIMR (外部中断屏蔽寄存器).....	19
6.2.25 Bank 1 RF EISR (外部中断状态寄存器) .....	19
6.2.26 Bank 2 R5 T1CR (定时器 1 控制寄存器).....	20
6.2.27 Bank 2 R6 TSR (定时器状态寄存器) .....	20

6.2.28	Bank 2 R7 T1PD (定时器 1 周期缓冲器).....	22
6.2.29	Bank 2 R8 T1TD (定时器 1 占空比缓冲器).....	22
6.2.30	Bank 2 R9 T2CR (定时器 2 控制寄存器).....	22
6.2.31	Bank 2 RA T2PD (定时器 2 周期缓冲器).....	23
6.2.32	Bank 2 RB T2TD (定时器 2 占空比缓冲器).....	23
6.2.33	Bank 2 RC SPIS (SPI 状态寄存器).....	23
6.2.34	Bank 2 RD SPIC (SPI 控制寄存器).....	24
6.2.35	Bank 2 RE SPIR (SPI 读缓冲器).....	25
6.2.36	Bank 2 RF SPIW (SPI 写缓冲器).....	25
6.2.37	Bank 3 R5 URC (UART 控制寄存器).....	25
6.2.38	Bank 3 R6 URS (UART 状态).....	26
6.2.39	Bank 3 R7 URRD (UART_RD 数据缓冲器).....	27
6.2.40	Bank 3 R8 UR TD (UART_TD 数据缓冲器).....	27
6.2.41	Bank 3 R9 ADCR (A/D 控制寄存器).....	27
6.2.42	Bank 3 RA ADICH (A/D 输入控制寄存器).....	28
6.2.43	Bank 3 RB ADICL (A/D 输入控制寄存器).....	28
6.2.44	Bank 3 RC ADDH (AD 高 8 位数据缓冲器).....	29
6.2.45	Bank 3 RD ADDL (AD 低 4 位数据缓冲器).....	29
6.2.46	Bank 3 RE EIESH (外部中断沿选择控制寄存器 -高字节).....	29
6.2.47	Bank 3 RF EIESL (外部中断沿选择控制寄存器 -低字节).....	30
6.2.48	Bank 4 R5 LEDDCR (LED 驱动控制寄存器).....	30
6.2.49	Bank 4 R6 WBCR (秒表定时器和蜂鸣器控制寄存器).....	30
6.2.50	Bank 4 R7 PIOC (Port 7 I/O 控制寄存器).....	31
6.2.51	Bank 4 R8 PIOC (Port 8 I/O 控制寄存器).....	31
6.2.52	Bank 4 R9 PIOC (Port 9 I/O 控制寄存器).....	31
6.2.53	Bank 4 RA PIOC (Port A I/O 控制寄存器).....	32
6.2.54	Bank 4 RB PIOC (Port B I/O 控制寄存器).....	32
6.2.55	Bank 4 RC PIOC (Port C I/O 控制寄存器).....	32
6.2.56	Bank 4 RF WKCR (唤醒控制寄存器).....	32
6.2.57	Bank 5 R6 UARC2 (UART 控制寄存器 2).....	33
6.2.58	Bank 5 R7 P7PHCR (Port 7 上拉控制寄存器).....	33
6.2.59	Bank 5 R8 P8PHCR (Port 8 上拉控制寄存器).....	33
6.2.60	Bank 5 R9 P9PHCR (Port 9 上拉控制寄存器).....	33
6.2.61	Bank 5 RA PAPHCR (Port A 上拉控制寄存器).....	34
6.2.62	Bank 5 RB PBPHCR (Port B 上拉控制寄存器).....	34
6.2.63	Bank 5 RC PCPHCR (Port C 上拉控制寄存器).....	34
6.2.64	Bank 6 R6 LVRCR (低电压复位控制寄存器).....	34
6.2.65	Bank 6 R7 P7ODCR (Port 7 漏极开路控制寄存器).....	35
6.2.66	Bank 6 R8 P8ODCR (Port 8 漏极开路控制寄存器).....	35
6.2.67	Bank 6 R9 P9ODCR (Port 9 漏极开路控制寄存器).....	35
6.2.68	Bank 6 RA PAODCR (Port A 漏极开路控制寄存器).....	35
6.2.69	Bank 6 RB PBODCR (Port B 漏极开路控制寄存器).....	35

6.2.70	Bank 6 RC (Port C)	36
6.2.71	R10~R3F (通用寄存器)	36
6.3	TCC/WDT 预分频器	37
6.4	I/O 端口	38
6.5	复位和唤醒	39
6.6	振荡器	49
6.6.1	振荡器模式	49
6.6.2	晶振/陶瓷谐振器(晶体)	49
6.6.3	用内部电容的 RC 振荡模式	51
6.6.4	锁相环(PLL 模式)	52
6.7	上电探讨	53
6.7.1	外部上电复位电路	53
6.7.2	残留电压保护	54
6.8	中断	55
6.9	LCD 驱动	57
6.9.1	R5 LCDCR (LCD 控制寄存器)	57
6.9.2	R6 LCDADDR (LCD 地址寄存器)	58
6.9.3	R7 LCDBR (LCD 数据缓冲器)	59
6.9.4	R8 LCDVCR (LCD 电压控制寄存器)	59
6.10	A/D 转换器	67
6.10.1	ADC 数据寄存器	68
6.10.2	A/D 采样时间	68
6.10.3	A/D 转换时间	68
6.11	UART (通用异步串行接收/发送器)	69
6.11.1	UART 模式	70
6.11.2	发送	71
6.11.3	接收	71
6.11.4	波特率发生器	72
6.11.5	UART 时序	72
6.12	SPI (串行外设接口)	74
6.12.1	综述和特性	74
6.12.2	SPI 功能描述	75
6.12.3	SPI 信号和引进描述	77
6.12.4	编程相关的寄存器	78
6.12.5	SPI 模式时序	81
6.13	定时/计数器 1	82
6.13.1	定时器模式	82
6.13.2	T1OUT 模式	83
6.13.3	捕捉模式	83
6.13.4	PWM 模式	84
6.13.5	16 位模式	84
6.14	定时器 2	85

6.14.1 定时器模式 .....	86
6.14.2 PWM 模式 .....	86
6.15 代码选项 .....	87
6.16 指令集 .....	89
<b>7 最大绝对值 .....</b>	<b>92</b>
<b>8 直流电气特性 .....</b>	<b>92</b>
8.1 直流电气特性 .....	92
8.2 A/D 转换器特性 .....	94
8.3 锁相环特性 .....	95
8.3.1 PLL 直流电气特性 .....	95
8.3.2 交流电气特性 .....	95
8.4 器件特性 .....	95
<b>9 交流电气特性 .....</b>	<b>104</b>
<b>10 时序图 .....</b>	<b>105</b>

## 附录

<b>A 订购和制造信息 .....</b>	<b>106</b>
<b>B 封装类型 .....</b>	<b>107</b>
<b>C 封装信息 .....</b>	<b>108</b>
C.3 EM78P520NQ44 .....	108
C.4 EM78P520NL44 .....	109
C.5 EM78P520NL48 .....	110
<b>D 品质保证与可靠性 .....</b>	<b>111</b>
D.1 地址陷阱检测 .....	111
<b>E EM78P520N 烧录引脚列表 .....</b>	<b>112</b>
<b>F ICE 520 振荡电路 (JP4) .....</b>	<b>112</b>
F.1 模式 1 .....	112
F.2 模式 2 .....	113
F.3 模式 3 .....	113
F.4 模式 4 .....	113
F.5 模式 5 .....	114
F.6 模式 6 .....	114
F.7 模式 7 .....	114

## 修订本规格书历史

版本号	修订本描述	日期
1.0	首发行版	2009/04/01
1.1	修改了可使用的 PLL 模式	2011/03/23
1.2	增加了 LVR 特性	2013/04/09
1.3	删除了封装类型 32 引脚	2013/12/10
1.4	1.新增用户应用注意事项 2.修改封装型号的名称 3.修改附录 A 编码与制造信息	2016/03/25

## 用户应用注意事项

(使用此芯片前, 请仔细阅读如下所描述的说明, 它包含重要信息。)

1. 在休眠模式时, 内部TCC停止运行。然而, 在AD转换期间, 当TCC设置为SLEP指令时, 如果RE寄存器的ADWE位使能, TCC将保持运行。
2. 在ADC转换期间, 所有的引脚不执行输出指令以保持精确。为了获取精确的值, 在AD转换期间, 需避免I/O引脚上的数据转换。
3. 噪声抑制功能在LXT2和休眠模式时被关闭。



## 1 综述

EM78P520N 是采用低功耗高速 CMOS 工艺设计开发的 8 位 RISC 类型的微控制器。集成有：片内看门狗定时器 (WDT)、/LCD 数据 RAM、ROM、可编程实时时钟计数器、内部/外部中断、省电模式、12 位 A/D 转换器、UART、SPI、8 通道 LED 驱动器、LCD 驱动器和三态 I/O。

## 2 特性

- CPU配置
  - 8K×13 位片内 ROM
  - 272×8 位片内寄存器 (SRAM)
  - 8 级堆栈用于子程序嵌套
  - 双时钟或 PLL 工作模式
  - 4 种工作模式：正常、低速、空闲、休眠
  - 5V/4MHz 工作条件下耗电流低于 2.1 mA
  - 3V/32kHz 工作条件下耗电流典型值 22  $\mu$ A
  - 休眠模式下耗电流典型值 8  $\mu$ A
  - 单指令周期
- I/O 端口结构
  - 6 组双向 I/O 端口：P7、P8、P9、PA、PB、PC
  - 43 个 I/O 引脚
  - 8 个引脚直接驱动 LED
  - 39 个可编程的漏极开路 I/O 引脚
  - 43 个可编程上拉 I/O 引脚
  - 外部中断：P74~P77、PB0~PB3、P82~P83
- 工作电压范围：
  - OTP版本：
    - 工作电压范围：2.3V~5.5V
- 工作温度范围：-40~85°C
- 工作频率范围
  - 通过代码选项寄存器选择晶振/RC 振荡电路作为系统时钟
  - 通过代码选项寄存器选择 32.768KHz 晶振/RC 振荡电路作为副振荡器
- 主时钟
  - 晶振模式
    - DC~20MHz/2 clks @ 5V；DC~100ns 指令周期 @ 5V
    - DC~8MHz/2 clks @ 3V；DC~250ns 指令周期 @ 3V
    - DC~4MHz/2 clks @ 2.3V；DC~500ns 指令周期 @ 2.3V
  - ERIC 模式
    - DC~2.2MHz/2 clks @ 2.3V；DC~909ns 指令周期 @ 2.3V
  - PLL 模式
    - DC~16MHz/2 clks @ 5V；DC~125ns 指令周期 @ 5V
- 副时钟
  - 晶振模式：32.768kHz
  - ERIC 模式：33kHz (2.2M $\Omega$ )
- 特殊功能
  - 可编程的独立运行看门狗定时器
  - 高抗 EFT 特性
  - 高抗 ESD 特性
  - 省电的休眠模式
  - 振荡模式可选择
- 外设配置
  - 串行外围设备接口 (SPI)
  - 8 位实时时钟/计数器 (TCC)
  - 12 通道的模数转换器，在参考电压选择外部电源式的精度可达 12 位
  - LCD：8×23 点，偏压 (1/2, 1/3, 1/4)，占空比 (静态, 1/3, 1/4, 1/8)
  - 2 组 8 位定时器
  - 8 位定时器 1 是自动重载计数/定时器，它可以产生中断。功能模块：定时器、取反输出、UART 波特率发生器、捕捉、PWM。
  - 8 位定时器 2 是自动重载计数/定时器，它可以产生中断。功能模块：定时器、SPI 波特率发生器、PWM。
  - 2 个 8 位自动重载计数/定时器可以组合成一个 16 位计数/定时器
  - 通用异步接收/发送器 (UART)
  - 4 级可编程秒表定时器：1.0 sec, 0.5 sec, 0.25sec, 3.91ms
  - 4 级可编程蜂鸣器输出：0.5kHz、1kHz、2kHz、4kHz
  - 4 级可编程低电压检测 (LVD)：3.9V, 3.3V, 2.7V, 2.4V
  - 上电复位和 3 级可编程复位电压 POR: 2.1V (默认), LVR: 3.9V, 3.3V, 2.6V
- 18 个中断：
  - TCC 溢出中断
  - 10 个外部中断 (从休眠模式唤醒)
  - ADC 中断
  - 2 个定时器中断
  - 秒表定时器中断
  - 2 个串行 I/O 中断
  - 低电压检测 (LVD)
- 封装型号
  - 44 pin QFP 10×10mm : EM78P520NQ44
  - 44 pin LQFP 10×10mm : EM78P520NL44
  - 48 pin LQFP 7×7mm : EM78P520NL48

注：绿色产品不含有害物质

### 3 引脚分配

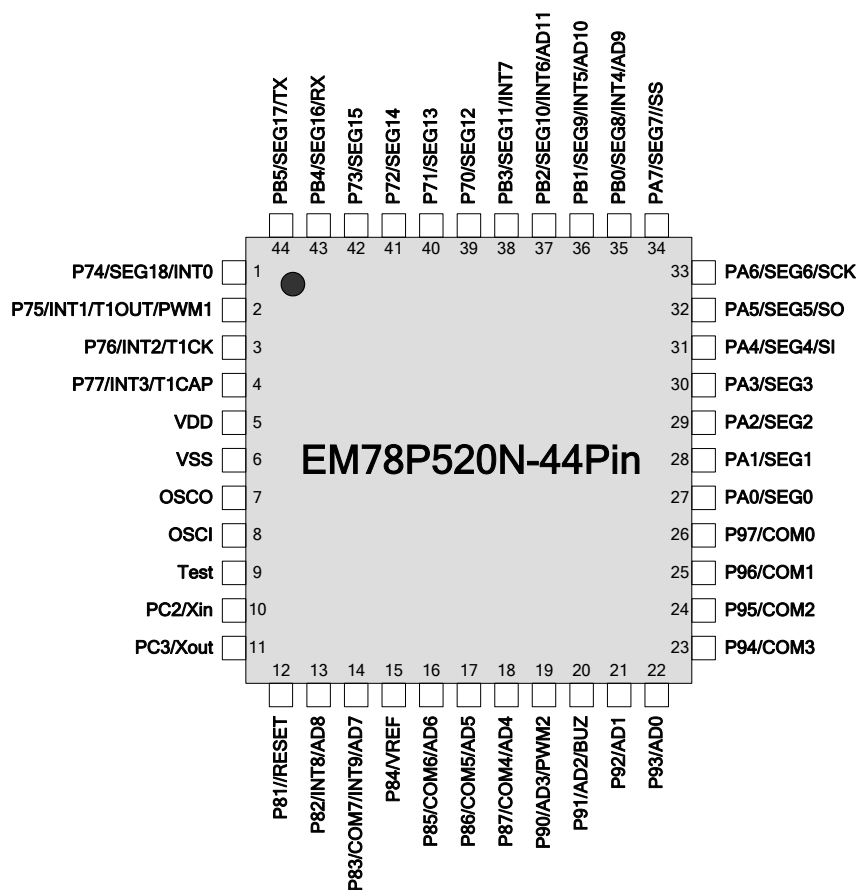


图 3-2 EM78P520NQ44/L44

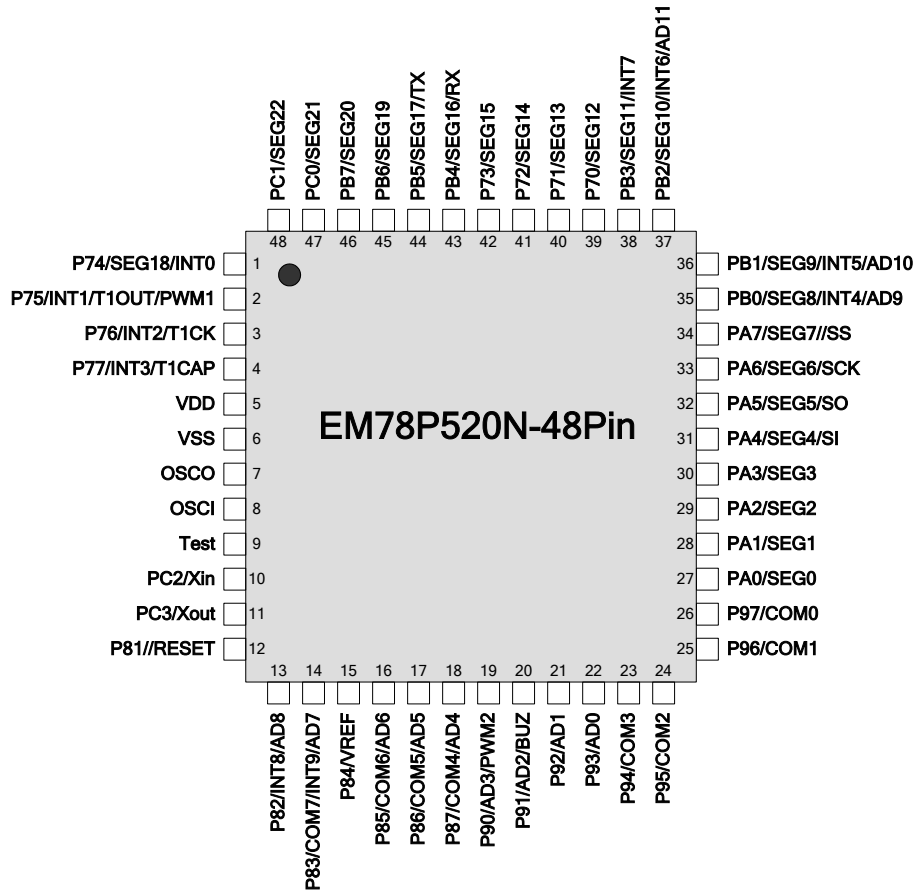


图 3-3 EM78P520NL48

## 4 引脚描述

名称	功能	输入类型	输出类型	描述
P70/SEG12	P70	ST	CMOS	双向 I/O 口引脚, 通过编程可以设置上拉和漏极开路
	SEG12	-	AN	LCD SEG12 输出引脚
P71/SEG13	P71	ST	CMOS	双向 I/O 口引脚, 通过编程可以设置上拉和漏极开路
	SEG13	-	AN	LCD SEG13 输出引脚
P72/SEG14	P72	ST	CMOS	双向 I/O 口引脚, 通过编程可以设置上拉和漏极开路
	SEG14	-	AN	LCD SEG14 输出引脚
P73/SEG15	P73	ST	CMOS	双向 I/O 口引脚, 通过编程可以设置上拉和漏极开路
	SEG15	-	AN	LCD SEG15 输出引脚
P74/SEG18/INT0	P74	ST	CMOS	双向 I/O 口引脚, 通过编程可以设置上拉和漏极开路
	SEG18	-	AN	LCD SEG18 输出引脚
	INT0	ST	-	外部中断引脚
P75/INT1/T1OUT/ PWM1	P75	ST	CMOS	双向 I/O 口引脚, 通过编程可以设置上拉和漏极开路
	INT1	ST	-	外部中断引脚
	T1OUT	-	CMOS	定时器 1 T1OUT 模式
	PWM1	-	CMOS	定时器 1 PWM 模式
P76/INT2/T1CK	P76	ST	CMOS	双向 I/O 口引脚, 通过编程可以设置上拉和漏极开路
	INT2	ST	-	外部中断引脚
	T1CK	ST	-	定时器 1 计数模式
P77/INT3/T1CAP	P77	ST	CMOS	双向 I/O 口引脚, 通过编程可以设置上拉和漏极开路
	INT3	ST	-	外部中断引脚
	T1CAP	ST	-	定时器 1 捕获模式
P81/ /RESET	P81	ST	CMOS	双向 I/O 口引脚, 通过编程可以设置上拉和漏极开路
	/RESET	ST	-	内部上拉 (P57 上拉) 复位引脚
P82/INT8/AD8	P82	ST	CMOS	双向 I/O 口引脚, 通过编程可以设置上拉和漏极开路
	INT8	ST	-	外部中断引脚
	AD8	AN	-	ADC 输入通道 8

(接上页)

名称	功能	输入类型	输出类型	描述
P83/COM7/INT9/AD7	P83	ST	CMOS	双向 I/O 口引脚, 可以通过编程可以设置上拉和漏极开路
	COM7	-	AN	LCD COM 7 输出引脚
	INT9	ST	-	外部中断引脚
	AD7	AN	-	ADC 输入通道 7
P84/VREF	P84	ST	CMOS	双向 I/O 口引脚, 可以通过编程可以设置上拉和漏极开路
	VREF	AN	-	ADC 三靠参考电压
P85/COM6/AD6	P85	ST	CMOS	双向 I/O 口引脚, 可以通过编程可以设置上拉和漏极开路
	COM6	-	AN	LCD COM6 输出引脚
	AD6	AN	-	ADC 输入通道 6
P86/COM5/AD5	P86	ST	CMOS	双向 I/O 口引脚, 可以通过编程可以设置上拉和漏极开路
	COM5	-	AN	LCD COM5 输出引脚
	AD5	AN	-	ADC 输入通道 5
P87/COM4/AD4	P87	ST	CMOS	双向 I/O 口引脚, 可以通过编程可以设置上拉和漏极开路
	COM4	-	AN	LCD COM 4 输出引脚
	AD4	AN	-	ADC 输入通道 4
P90/AD3/PWM2	P90	ST	CMOS	双向 I/O 口引脚, 可以通过编程可以设置上拉和漏极开路
	AD3	AN	-	ADC 输入通道 3
	PWM2	-	CMOS	定时器 2 PWM 模式
P91/AD2/BUZ	P91	ST	CMOS	双向 I/O 口引脚, 可以通过编程可以设置上拉、漏极开路及驱动 LED
	AD2	AN	-	ADC 输入通道 2
	BUZ	-	CMOS	蜂鸣器定时器 输出
P92/AD1	P92	ST	CMOS	双向 I/O 口引脚, 可以通过编程可以设置上拉、漏极开路及驱动 LED
	AD1	AN	-	ADC 输入通道 1
P93/AD0	P93	ST	CMOS	双向 I/O 口引脚, 可以通过编程可以设置上拉、漏极开路及驱动 LED
	AD0	AN	-	ADC 输入通道 0
P94/COM3	P94	ST	CMOS	双向 I/O 口引脚, 可以通过编程可以设置上拉、漏极开路及驱动 LED
	COM3	-	AN	LCD COM3 输出引脚

(接上页)

名称	功能	输入类型	输出类型	描述
P95/COM2	P95	ST	CMOS	双向 I/O 口引脚, 可以通过编程可以设置上拉、漏极开路及驱动 LED
	COM2	-	AN	LCD COM 2 输出引脚
P96/COM1	P96	ST	CMOS	双向 I/O 口引脚, 可以通过编程可以设置上拉、漏极开路及驱动 LED
	COM1	-	AN	LCD COM 1 输出引脚
P97/COM0	P97	ST	CMOS	双向 I/O 口引脚, 可以通过编程可以设置上拉、漏极开路及驱动 LED
	COM0	-	AN	LCD COM 0 输出引脚
PA0/SEG0	PA0	ST	CMOS	双向 I/O 口引脚, 可以通过编程可以设置上拉及漏极开路
	SEG0	-	AN	LCD SEG0 输出引脚
PA1/SEG1	PA1	ST	CMOS	双向 I/O 口引脚, 可以通过编程可以设置上拉及漏极开路
	SEG1	-	AN	LCD SEG 1 输出引脚
PA2/SEG2	PA2	ST	CMOS	双向 I/O 口引脚, 可以通过编程可以设置上拉及漏极开路
	SEG2	-	AN	LCD SEG 2 输出引脚
PA3/SEG3	PA3	ST	CMOS	双向 I/O 口引脚, 可以通过编程可以设置上拉及漏极开路
	SEG3	-	AN	LCD SEG 3 输出引脚
PA4/SEG4/SI	PA4	ST	CMOS	双向 I/O 口引脚, 可以通过编程可以设置上拉及漏极开路
	SEG4	-	AN	LCD SEG 4 输出引脚
	SI	ST	-	SPI 串行数据输入引脚
PA5/SEG5/SO	PA5	ST	CMOS	双向 I/O 口引脚, 可以通过编程可以设置上拉及漏极开路
	SEG5	-	AN	LCD SEG5 输出引脚
	SO	-	CMOS	SPI 串行数据输出引脚
PA6/SEG6/SCK	PA6	ST	CMOS	双向 I/O 口引脚, 可以通过编程可以设置上拉及漏极开路
	SEG6	-	AN	LCD SEG8 输出引脚
	SCK	ST	CMOS	SPI 串行时钟输入/输出引脚
PA7/SEG7//SS	PA7	ST	CMOS	双向 I/O 口引脚, 可以通过编程可以设置上拉及漏极开路
	SEG7	-	AN	LCD SEG7 输出引脚
	/SS	ST	-	SPI 从机选择引脚

(接上页)

名称	功能	输入类型	输出类型	描述
PB0/SEG8/INT4/ AD9	PB0	ST	CMOS	双向 I/O 口引脚, 可以通过编程可以设置上拉及漏极开路
	SEG8	-	AN	LCD SEG8 输出引脚
	INT4	ST	-	外部中断引脚
	AD9	AN	-	ADC 输入通道 9
PB1/SEG9/INT5/ AD10	PB1	ST	CMOS	双向 I/O 口引脚, 可以通过编程可以设置上拉及漏极开路
	SEG9	-	AN	LCD SEG9 输出引脚
	INT5	ST	-	外部中断引脚
	AD10	AN	-	ADC 输入通道 10
PB2/SEG10/INT6/ AD11	PB2	ST	CMOS	双向 I/O 口引脚, 可以通过编程可以设置上拉及漏极开路
	SEG10	-	AN	LCD SEG10 输出引脚
	INT6	ST	-	外部中断引脚
	AD11	AN	-	ADC 输入通道 11
PB3/SEG11/INT7	PB3	ST	CMOS	双向 I/O 口引脚, 可以通过编程可以设置上拉及漏极开路
	SEG11	-	AN	LCD SEG11 输出引脚
	INT7	ST	-	外部中断引脚
PB4/SEG16/RX	PB4	ST	CMOS	双向 I/O 口引脚, 可以通过编程可以设置上拉及漏极开路
	SEG16	-	AN	LCD SEG16 输出引脚
	RX	ST	-	UART RX 输入引脚
PB5/SEG17/TX	PB5	ST	CMOS	双向 I/O 口引脚, 可以通过编程可以设置上拉及漏极开路
	SEG17	-	AN	LCD SEG17 输出引脚
	TX	-	CMOS	UART TX 输出引脚
PB6/SEG19	PB6	ST	CMOS	双向 I/O 口引脚, 可以通过编程可以设置上拉及漏极开路
	SEG19	-	AN	LCD SEG 19 输出引脚
PB7/SEG20	PB7	ST	CMOS	双向 I/O 口引脚, 可以通过编程可以设置上拉及漏极开路
	SEG20	-	AN	LCD SEG 19 输出引脚
PC0/SEG21	PC0	ST	CMOS	双向 I/O 口引脚, 可以通过编程可以设置上拉路
	SEG21	-	AN	LCD SEG21 输出引脚
PC1/SEG22	PC1	ST	CMOS	双向 I/O 口引脚, 可以通过编程可以设置上拉路
	SEG22	-	AN	LCD SEG22 输出引脚

(接上页)

名称	功能	输入类型	输出类型	描述
PC2/Xin	PC2	ST	CMOS	双向 I/O 口引脚, 可以通过编程可以设置上拉路
	Xin	XTAL	-	晶振/谐振器的时钟输入或仅支持 32.768kHz
PC3/Xout	PC3	ST	CMOS	双向 I/O 口引脚, 可以通过编程可以设置上拉路
	Xout	-	XTAL	晶振/谐振器的时钟输入或仅支持 32.768kHz
OSCO	OSCO	-	XTAL	晶振/谐振器的时钟输出
OSCI	OSCI	XTAL	-	晶振/谐振器的时钟输出
VDD	VDD	Power	-	电源
VSS	VSS	Power	-	地
Test	Test	Power	-	测试信号引脚 (必须接到 VDD)

说明: ST: 施密特触发输入

AN: 模拟引脚

XTAL: 晶振/谐振器振荡引脚

CMOS: CMOS 输出



## 5 功能结构图

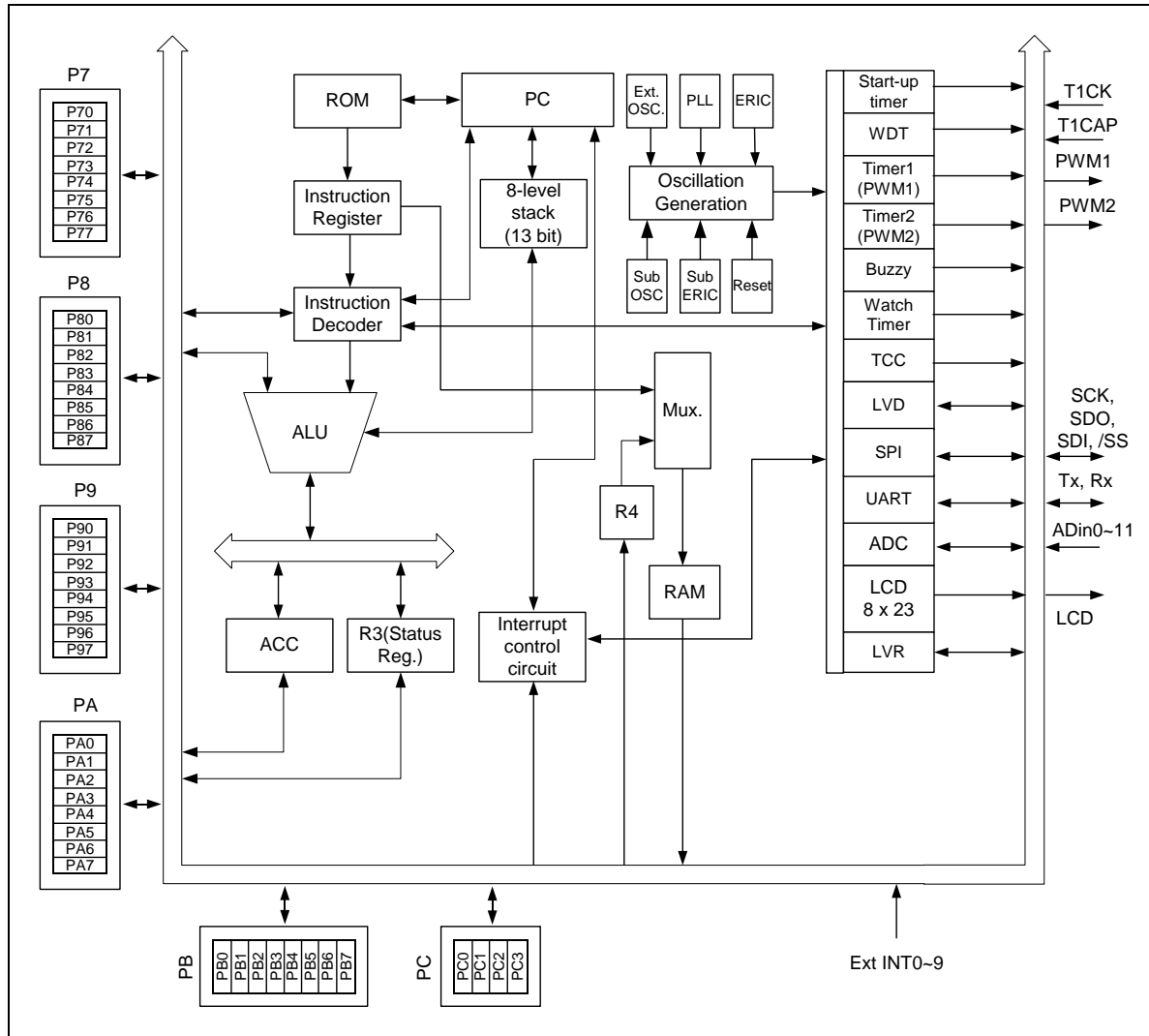


图5 EM78P520N 功能结构图

## 6 功能描述

### 6.1 寄存器配置

#### 6.1.1 R PAGE 寄存器配置

Bank 0	Bank 1	Bank 2	Bank 3	Bank 4	Bank 5	Bank 6
R0 (IAR)						
R1 (TCC)						
R2 (PC)						
R3 (SR)						
R4 (RSR)						
RBSR	LCDCR	T1CR	URC	LEDDCR	Reserve	Reserve
Reserve	LCDAR	TSR	URS	WBCR	URC2	LVRCR
Port 7	LCDBR	T1PD	URRD	IOC7	P7PHCR	P7ODCR
Port 8	LCDVCR	T1TD	URTD	IOC8	P8PHCR	P8ODCR
Port 9	LCDCCR	T2CR	ADCR	IOC9	P9PHCR	P9ODCR
Port A	LCDSCR0	T2PD	ADICH	IOCA	PAPHCR	PAODCR
Port B	LCDSCR1	T2TD	ADICL	IOCB	PBPHCR	PBODCR
SCCR	LCDSCR2	SPIS	ADDH	IOCC	PCPHCR	Port C
TWTCR	Reserve	SPIC	ADDL	Reserve	Reserve	Reserve
IMR	EIMR	SPIR	EIESH	Reserve	Reserve	Reserve
ISR	EISR	SPIW	EIESL	WKCR	Reserve	Reserve
R10						
.						
.						
R1F	<b>Bank 1</b>	.	.	.	.	<b>Bank 7</b>
R20	<b>General Purpose RAM</b>					R20
.	.	.				.
.	.	.				.
.	.	.				.
R3F	.	.				R3F

图 6-1 数据存储配置

### 6.2 寄存器操作

#### 6.2.1 R0 (间接寻址寄存器)

R0 为虚拟寄存器。它的主要功能是作为间接寻址指针。任何对 R0 的操作实际上是对 R4 指向的 RAM 内容操作。

#### 6.2.2 R1 (TCC)

每一个主振荡器时钟  $F_m$  或副振荡器时钟  $F_s$ (由 TWTCR 寄存器控制)TCC 寄存器加 1, 和其他寄存器一样可读写。

### 6.2.3 R2 (程序计数器)

结构框图见 6-2。产生  $8K \times 13$  位片内 ROM 寻址空间。

"JMP" 指令允许直接装载程序计数器低 10 位。

"CALL" 指令装载程序计数器的低 10 位，并将 PC+1 值入栈。

"RET" ("RETL", "RETI")指令将栈顶的数据存放在 PC 中。

"MOV R2, A"把 A 寄存器的值装载到 PC 的低 8 位，同时 PC 的第 9 位及第 10 位保持不变。

"ADD R2, A" 把 A 寄存器的值加到当前 PC 上，同时 PC 的第 9 位及第 10 位保持不变。

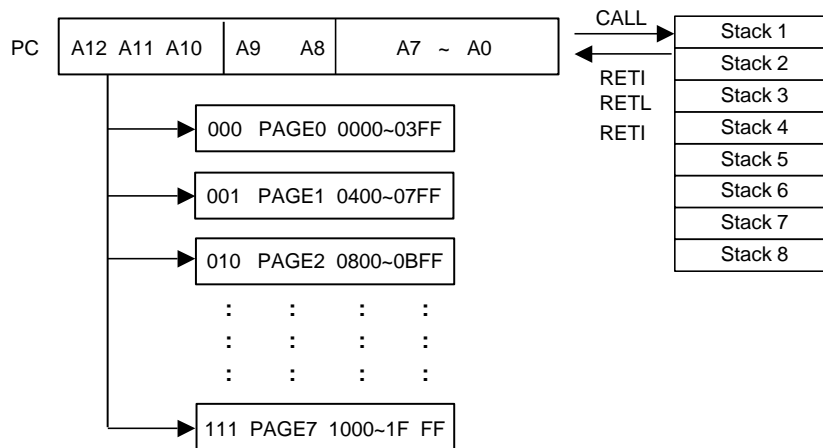


图 6-2 程序计数器结构

用户可以使用长跳转 (LJMP) 或长调用 (LCALL) 指令来编写用户代码，且 ELAN 的编译器会维护程序页面，它可以长跳转用户程序通过插入以上指令。

### 6.2.4 R3 (LVD控制和状态)

- 状态标志，页选择位

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LV DEN	LV DS1	LV DS0	T	P	Z	DC	C

**Bit 7 (LV DEN):** 电压检测使能位

0 : 不起作用

1 : 电压检测使能

**Bits 6~5 (LV DS1~LV DS0):** 检测电压选择位

LVDS1	LVDS0	检测电压值
0	0	2.4V
0	1	2.7V
1	0	3.3V
1	1	3.9V

**Bit 4 (T):** 时间溢出位  
执行 "SLEP"和 "WDTC" 指令或上电后该位置 1，当 WDT 溢出时清 0。

**Bit 3 (P):** 掉电标志位  
执行 "WDTC"指令或上电后该位置 1，执行 "SLEP" 指令后该位清 0。

事件	T	P	备注
WDT 从休眠模式唤醒	0	0	-
WDT 溢出（不在休眠模式）	0	1	-
/RESET 从休眠模式唤醒	1	0	-
上电	1	1	-
/RESET 引脚上的低脉冲	×	×	× = 不关心

**Bit 2 (Z):** 零标志位

**Bit 1 (DC):** 辅助进位标志

**Bit 0 (C):** 进位标志

### 6.2.5 R4 (RAM选择寄存器)

**Bit 7 (VDB):** 电压检测，只读位。当 VDD 电压低于 Vdet（由 LVDS0~LVDS1 选择）时这一位清 0。

0: 检测到低电压

1: 没有检测到低电压或 LVD 功能没有开启

**Bit 6 (BNC):** Bank 控制寄存器

0: 仅仅允许访问 BANK 0 的寄存器

1: 允许访问任何 BANK 的寄存器

**Bits 5~0:** 在间接寻址方式中用于选择最多 64 个寄存器。请参考数据存储器的配置。用户可以使用“BANK”指令来切换 bank。

### 6.2.6 Bank 0 R5 (RAM Bank选择寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	0	0	0	0	BS2	BS1	BS0

**Bits 7~3:** 保留

**Bits 2~0 (BS2~BS0):** RAM Bank 选择寄存器

BS2	BS1	BS0	RAM Bank
0	0	0	Bank 0
0	0	1	Bank 1
:	:	:	:
:	:	:	:
1	1	1	Bank 7

### 6.2.7 Bank 0 R7 (Port 7)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
R77	R76	R75	R74	R73	R72	R71	R70

Bits 7~0 (R77~R70): Port 7 的 8 位 I/O 数据寄存器

### 6.2.8 Bank 0 R8 (Port 8)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
R87	R86	R85	R84	R83	R82	R81	0

Bits 7~1 (R87~R81): Port 8 的 7 位 I/O 数据寄存器

Bit 0: 保留

### 6.2.9 Bank 0 R9 (Port 9)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
R97	R96	R95	R94	R93	R92	R91	R90

Bits 7~0 (R97~R90): Port 9 的 8 位 I/O 数据寄存器

### 6.2.10 Bank 0 RA (Port A)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RA7	RA6	RA5	RA4	RA3	RA2	RA1	RA0

Bits 7~0 (RA7~RA0): Port A 的 8 位 I/O 数据寄存器

### 6.2.11 Bank 0 RB (Port B)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RB7	RB6	RB5	RB4	RB3	RB2	RB1	RB0

Bits 7~0 (RB7~RB0): Port B 的 8 位 I/O 数据寄存器

### 6.2.12 Bank 0 RC SCCR (系统时钟控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	CLK2	CLK1	CLK0	IDLE	0	0	CPUS

Bit 7: 保留，一直为“0”

Bits 6~4 (CLK2~CLK0): PLL 模式的主时钟选择位 (代码选项选择)

CLK2	CLK1	CLK0	主时钟	Ex: Fs=32.768K
0	x	x	保留	-
1	0	x	保留	-
1	1	x	Fs×488	15.99 MHz

**Bit 3 (IDLE):** 空闲模式使能位。这一位决定“SLEP”指令执行后 MCU 的工作模式

IDLE="0"+“SLEP” 指令 → 休眠模式

IDLE="1"+“SLEP” 指令 → 空闲模式

**Bits 2~1:** 保留，一直为“0”

**Bit 0 (CPUS):** CPU 振荡源选择

0 : → 副振荡器(fs)

1 : → 主振荡器(fosc)

当 CPUS=0, CPU 振荡器选择副振荡器, 主振荡器停止。

### CPU 工作模式

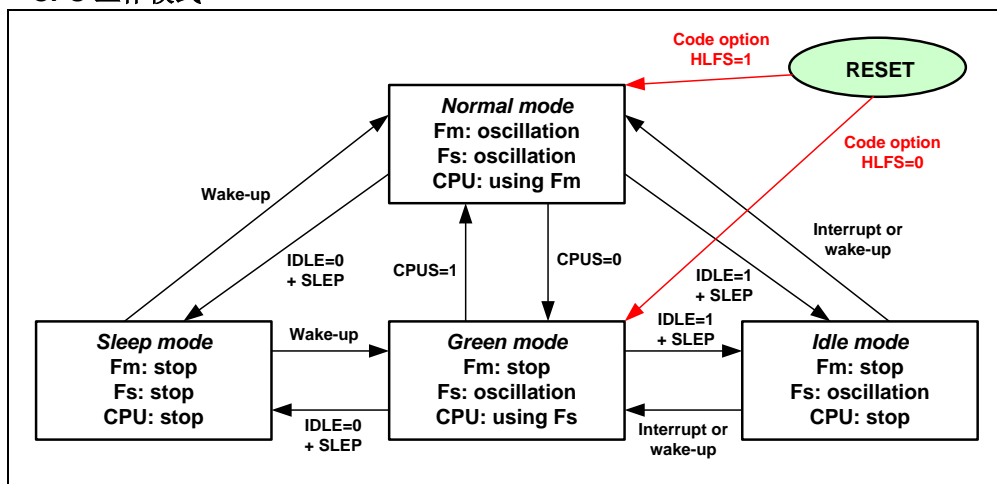


图 6-3 CPU工作模式

### 6.2.13 Bank 0 RD TWTCR (TCC 和 WDT 定时器控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
WDTE	WPSR2	WPSR1	WPSR0	TCCS	TPSR2	TPSR1	TPSR0

**Bit 7 (WDTE):** 看门狗定时器使能位

0 : 禁止 WDT 功能

1 : 使能 WDT 功能

**Bits 6~4 (WPSR2~WPSR0):** WDT 预分频比选择位

WPSR2	WPSR1	WPSR0	预分频比
0	0	0	1 : 1 (默认)
0	0	1	1 : 2
0	1	0	1 : 4
0	1	1	1 : 8
1	0	0	1 : 16
1	0	1	1 : 32
1	1	0	1 : 64
1	1	1	1 : 128

**Bit 3 (TCCS):** TCC 时钟源选择位

**0 :** Fm (主时钟).

**1 :** Fs (副时钟: 32.768kHz)

**Bits 2~0 (TPSR2~TPSR0):** TCC 预分频比选择位

TPSR2	TPSR1	TPSR0	预分频比
0	0	0	1 : 2 (默认)
0	0	1	1 : 4
0	1	0	1 : 8
0	1	1	1 : 16
1	0	0	1 : 32
1	0	1	1 : 64
1	1	0	1 : 128
1	1	1	1 : 256

#### 6.2.14 Bank 0 RE IMR (中断屏蔽寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
T1IE	LVDIE	ADIE	SPIIE	URTIE	EXIE9	EXIE8	TCIE

**Bits 7~0 (T1IE~TCIE):** 中断使能位，分别使能相应的中断源

**0 :** 禁止中断

**1 :** 使能中断

外部中断

INT 引脚	第二功能引脚	使能条件	边沿	数字噪声滤波
INT8	P82, AD8	ENI+EXIE8 (IMR1)	上升或下降	2/Fc
INT9	P83, COM7, AD7	ENI+EXIE9 (IMR2)	上升或下降	2/Fc

**INT8~INT9:** 脉冲宽度小于 2/Fc 被认为是噪声被滤除。脉冲宽度大于 4/Fc 被认为是触发信号。

#### 6.2.15 Bank 0 RF ISR (中断状态寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
T1IF	LVDIF	ADIF	SPIIF	URTIF	EXIF9	EXIF8	TCIF

当发生中断时相应的位置“1”

**Bit 7 (T1IF):** 定时器 1 中断标志位

**Bit 6 (LVDIF):** 低电压检测中断标志位

**Bit 5 (ADIF):** A/D 转换完成中断标志位

**Bit 4 (SPIIF):** SPI 转移完成中断标志

**Bit 3 (URTIF):** UART 传送完成中断标志位

**Bit 2 (EXIF9):** 外部中断 9 中断标志位

**Bit 1 (EXIF8):** 外部中断 8 中断标志位

**Bit 0 (TCIF):** TCC 溢出中断标志位

### 6.2.16 Bank 1 R5 LCDCR (LCD控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LCDEN	LCDTYPE	BS1	BS0	DS1	DS0	LCDF1	LCDF0

**Bit 7 (LCDEN):** LCD 使能选择位

- 0: LCD 禁止。所有 COM / SEG 输出都置为 VDD 电平
- 1: LCD 使能

**Bit 6 (LCDTYPE):** LCD 驱动波形类型选择位

- 0: A 类波形
- 1: B 类波形

**Bits 5~4 (BS1~BS0):** LCD 偏压选择位

BS1	BS0	LCD 偏压选择
0	0	1/2 偏压
0	1	1/3 偏压
1	×	1/4 偏压

**Bits 3~2 (DS1~DS0):** LCD 占空比选择位

DS1	DS0	LCD 占空比
0	0	静态
0	1	1/3 占空比
1	0	1/4 占空比
1	1	1/8 占空比

**Bits 1~0 (LCDF1~LCDF0):** LCD 帧频率控制位



LCD 帧频率 (e.g. Fs=32.768KHz)					
LCDF1	LCDF0	静态	1/3 占空比	1/4 占空比	1/8 占空比
0	0	$F_s/(512 \times 1) = 64.0$	$F_s/(172 \times 3) = 63.5$	$F_s/(128 \times 4) = 64$	$F_s/(64 \times 8) = 64.0$
0	1	$F_s/(560 \times 1) = 58.5$	$F_s/(188 \times 3) = 58$	$F_s/(140 \times 4) = 58.5$	$F_s/(70 \times 8) = 58.5$
1	0	$F_s/(608 \times 1) = 53.9$	$F_s/(204 \times 3) = 53.5$	$F_s/(152 \times 4) = 53.9$	$F_s/(76 \times 8) = 53.9$
1	1	$F_s/(464 \times 1) = 70.6$	$F_s/(156 \times 3) = 70$	$F_s/(116 \times 4) = 70.6$	$F_s/(58 \times 8) = 70.6$

### 6.2.17 Bank 1 R6 LCDAR (LCD 地址寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	0	0	LCD_A4	LCD_A3	LCD_A2	LCD_A1	LCD_A0

Bits 7~5: 保留

Bits 4~0 (LCD\_A4~LCD\_A0): LCD RAM 地址

R6 (LCD 地址)	R7 (LCD 数据缓冲器)								SEG
	Bit 7 (LCD_D7)	Bit 6 (LCD_D6)	Bit 5 (LCD_D5)	Bit 4 (LCD_D4)	Bit 3 (LCD_D3)	Bit 2 (LCD_D2)	Bit 1 (LCD_D1)	Bit 0 (LCD_D0)	
00H									SEG0
01H									SEG1
02H									SEG2
14H									SEG20
15H									SEG21
16H									SEG22
COM	COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0	

### 6.2.18 Bank 1 R7 LCDBR (LCD数据缓冲器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LCD_D7	LCD_D6	LCD_D5	LCD_D4	LCD_D3	LCD_D2	LCD_D1	LCD_D0

Bit 7~0 (LCD\_D7~LCD\_D0): LCD RAM 数据传送寄存器

### 6.2.19 Bank 1 R8 LCDVCR (LCD电压控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	0	0	LCDC1	LCDC0	LCDVC2	LCDVC1	LCDVC0

Bits 7~5: 保留

Bits 4~3 (LCDC1~LCDC0): LCD 时钟

LCDC1	LCDC0	Fm	F <sub>LCD</sub>
0	0	16M	F <sub>C</sub> /2 <sup>9</sup>
0	1	8M	F <sub>C</sub> /2 <sup>8</sup>
1	0	4M	F <sub>C</sub> /2 <sup>7</sup>
1	1	2M	F <sub>C</sub> /2 <sup>6</sup>

当主振荡器工作在晶振模式而副振荡器不工作时，这2位必须设定，用于做LCD时钟。

**Bits 2~0 (LCDVC2~LCDVC0): LCD 电压控制位**

LCDVC2	LCDVC1	LCDVC0	输出
0	0	0	0.4VDD ~ VDD
0	0	1	0.34VDD ~ VDD
0	1	0	0.26VDD ~ VDD
0	1	1	0.18VDD ~ VDD
1	0	0	0.13VDD ~ VDD
1	0	1	0.07VDD ~ VDD
1	1	0	0.04VDD ~ VDD
1	1	1	0V ~ VDD

### 6.2.20 Bank 1 R9 LCDCCR (LCD COM控制寄存器3)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0

**Bits 7~0 (COM7~COM0): LCD COM 7~0 控制位**

- 0: 禁止，作为普通 I/O 或其他功能
- 1: 使能，作为 LCD 的 COM 驱动引脚

### 6.2.21 Bank 1 RA LCDSCR0 (LCD SEG控制寄存器 0)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SEG7	SEG6	SEG5	SEG4	SEG3	SEG2	SEG1	SEG0

**Bits 7~0 (SEG7~SEG0): LCD SEG7~0 控制位**

- 0: 禁止，作为普通 I/O 或其他功能
- 1: 使能，作为 LCD 的 SEG 驱动引脚

### 6.2.22 Bank 1 RB LCDSCR1 (LCD SEG 控制寄存器 1)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SEG15	SEG14	SEG13	SEG12	SEG11	SEG10	SEG9	SEG8

**Bits 7~0 (SEG15~SEG8):** LCD SEG15~8 控制位

0: 禁止, 作为普通 I/O 或其他功能

1: 使能, 作为 LCD 的 SEG 驱动引脚

### 6.2.23 Bank 1 RC LCDSCR2 (LCD SEG 控制寄存器2)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-	SEG22	SEG21	SEG20	SEG19	SEG18	SEG17	SEG16

**Bit 7:** 保留

**Bits 6~0 (SEG22~SEG16):** LCD SEG 22~16 控制位

0: 禁止, 作为普通 I/O 或其他功能

1: 使能, 作为 LCD 的 SEG 驱动引脚

### 6.2.24 Bank 1 RE EIMR (外部中断屏蔽寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
EXIE7	EXIE6	EXIE5	EXIE4	EXIE3	EXIE2	EXIE1	EXIE0

**Bits 7~0 (EXIE7~EXIE0):** 中断使能位。使能相应的中断源。

外部中断

INT 引脚	第二功能引脚	使能条件	边沿	数字噪声滤波
INT7	PB3, SEG11	ENI+EXIE7 (EIMR7)	上升或下降	2/Fc
INT6	PB2, SEG10, AD11	ENI+EXIE6 (EIMR6)	上升或下降	2/Fc
INT5	PB1, SEG9, AD10	ENI+EXIE5 (EIMR5)	上升或下降	2/Fc
INT4	PB0, SEG8, AD9	ENI+EXIE4 (EIMR4)	上升或下降	2/Fc
INT3	P77, T1CAP	ENI+EXIE3 (EIMR3)	上升或下降	2/Fc
INT2	P76, T1CK	ENI+EXIE2 (EIMR2)	上升或下降	2/Fc
INT1	P75, T1OUT, PWM1	ENI+EXIE1 (EIMR1)	上升或下降	2/Fc
INT0	P74, SEG18	ENI+EXIE0 (EIMR0)	上升或下降	2/Fc

**INT7~INT0:** 脉冲宽度小于 2/Fc 被认为是噪声被滤除。脉冲宽度大于 4/Fc 被认为是触发信号。

### 6.2.25 Bank 1 RF EISR (外部中断状态寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
EXIF7	EXIF6	EXIF5	EXIF4	EXIF3	EXIF2	EXIF1	EXIF0

当中断发生时相应的位就置“1”。

**Bits 7~0 (EXIF7~EXIF0):** 发生外部中断 7~0 的中断标志位。

### 6.2.26 Bank 2 R5 T1CR (定时器1控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TIS1	TIS0	T1MS2	T1MS1	T1MS0	T1P2	T1P1	T1P0

**Bits 7~6 (TIS1~ TIS0):** 定时器 1 和定时器 2 中断类型选择位。当定时器工作在 PWM 模式时需使用到这两位。

TIS1	TIS0	定时器 1 和定时器 2 中断类型选择
0	0	TXPD 下溢
0	1	TXTD 下溢
1	×	TXPD 和 TXTD 下溢

**Bits 5~3 (T1MS2~T1MS0):** 定时器 1 工作模式选择位

T1MS2	T1MS1	T1MS0	定时器 1 模式选择
0	0	0	定时器 1
0	0	1	T1OUT 模式
0	1	0	上升沿的捕捉模式
0	1	1	下降沿的捕捉模式
1	0	0	UART 波特率发生器
1	0	1	PWM 1
1	1	0	
1	1	1	

**Bits 2~0 (T1P2~T1P0):** 定时器 1 预分频比选择位

T1P2	T1P1	T1P0	预分频比
0	0	0	1:2 (默认)
0	0	1	1:4
0	1	0	1:8
0	1	1	1:16
1	0	0	1:32
1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

### 6.2.27 Bank 2 R6 TSR (定时器状态寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
T1MOD	TRCB	T1CSS1	T1CSS0	T2CSS	T1S	T1OMS	T1OC

**Bit 7 (T1MOD):** 定时器工作模式选择位

**0:** 2个8位定时器

**1:** 定时器1和定时器2组合成一个16位定时器

**注意**

通过设定T1MOD为“1”，定时器组合成一个16位定时器。这个16位定时器由定时器1控制，包括：使能、时钟源和预分频。在周期和占空比的值中定时器1是MSB而定时器2是LSB。

**Bit 6 (TRCB):** 定时器1, 2读控制位

**0:** 当这一位为“0”，从T1PD或T2PD读出设定的数值。

**1:** 当这一位为“1”，从T1PD或T2PD读出当前的计数值

**Bits 5~4 (T1CSS1~T1CSS0):** 定时器1时钟源选择位

T1CSS1	T1CSS0	定时器1时钟源选择
0	0	Fm
0	1	Fs
1	x	T1CK

**Bit 3 (T2CSS):** 定时器2时钟源选择位

**0:** 带预分频器的主时钟

**1:** 带预分频器的副时钟

**Bit 2 (T1S):** 定时器1启动位

**0:** 定时器1停止

**1:** 定时器1启动

**Bit 1 (T1OMS):** 定时器1输出模式选择位

**0:** 重复模式

**1:** 单次模式

**注意**

单次模式仅仅用于定时器1、捕捉和PWM1模式中

模式选择	说明
定时器1	减法计数器，一旦下溢不能自动重载到T1PD
捕捉	在这个模式，T1CAP输入引脚的周期和占空比都被测量一次。此时独立运行的计数器停止且不能检测T1CAP边沿的改变。
PWM1	在这个模式，MCU会产生一组PWM1的占空比和周期，独立运行的计数器停止。

**Bit 0 (T1OC):** 定时器 1 输出触发器控制位

0: T-FF 为低

1: T-FF 为高

### 6.2.28 Bank 2 R7 T1PD (定时器1周期缓冲器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PRD1[7]	PRD1[6]	PRD1[5]	PRD1[4]	PRD1[3]	PRD1[2]	PRD1[1]	PRD1[0]

**Bits 7~0 (PRD1 [7]~PRD1 [0]):** 这个寄存器的内容是定时器 1 的周期值

### 6.2.29 Bank 2 R8 T1TD (定时器1占空比缓冲器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TD1[7]	TD1[6]	TD1[5]	TD1[4]	TD1[3]	TD1[2]	TD1[1]	TD1[0]

**Bits 7~0 (TD1 [7]~TD1 [0]):** 这个寄存器的内容是定时器 1 的占空比值

### 6.2.30 Bank 2 R9 T2CR (定时器2控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
T2IF	T2IE	T2S	T2MS1	T2MS0	T2P2	T2P1	T2P0

**Bit 7 (T2IF):** 定时器 2 中断标志位

**Bit 6 (T2IE):** 定时器 2 中断屏蔽位

0: 禁止定时器 2 中断

1: 使能定时器 2 中断

**Bit 5 (T2S):** 定时器 2 启动位

0: 定时器 2 停止

1: 定时器 2 启动

**Bits 4~3 (T2MS1~T2MS0):** 定时器 2 工作模式选择位

T2MS1	T2MS0	定时器 2 工作模式选择
0	0	定时器 2
0	1	SPI 波特率发生器
1	0	PWM 2
1	1	

**Bits 2~0 (T2P2~T2P0): 定时器 2 预分频比选择位**

T2P2	T2P1	T2P0	分频比
0	0	0	1:2 (默认)
0	0	1	1:4
0	1	0	1:8
0	1	1	1:16
1	0	0	1:32
1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

### 6.2.31 Bank 2 RA T2PD (定时器2周期缓冲器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PRD2[7]	PRD2[6]	PRD2[5]	PRD2[4]	PRD2[3]	PRD2[2]	PRD2[1]	PRD2[0]

**Bits 7~0 (PRD2 [7]~PRD2 [0]):** 这个寄存器的内容是定时器 2 的周期值

### 6.2.32 Bank 2 RB T2TD (定时器2占空比缓冲器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TD2[7]	TD2[6]	TD2[5]	TD2[4]	TD2[3]	TD2[2]	TD2[1]	TD2[0]

**Bits 7~0 (TD2 [7]~TD2 [0]):** 这个寄存器的内容是定时器 2 的占空比值

### 6.2.33 Bank 2 RC SPIS (SPI状态寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DORD	TD1	TD0	0	OD3	OD4	0	RBF

**Bit 7 (DORD):** 数据移动控制位

0: 左移 (MSB 先)

1: 右移 (LSB 先)

**Bits 6~5 (TD1~TD0):** SDO 状态输出延时选项

TD1	TD0	延时
0	0	8 CLK
0	1	16 CLK
1	0	24 CLK
1	1	32 CLK

**Bit 4:** 保留

**Bit 3 (OD3):** 漏极开路控制位

0: 禁止 SDO 漏极开路

1: 使能 SDO 漏极开路

**Bit 2 (OD4):** 漏极开路控制位

0: 禁止 SCK 漏极开路

1: 使能 SCK 漏极开路

**Bit 1:** 保留

**Bit 0 (RBF):** 读缓冲器满标志

0: 接收没有完成, SPIRB 没有完全交换

1: 接收完成, SPIRB 完全交换

### 6.2.34 Bank 2 RD SPIC (SPI 控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CES	SPIE	SRO	SSE	SDOC	SBRS2	SBRS1	SBRS0

**Bit 7 (CES):** 时钟沿选择位

0: 数据在上升沿移出, 在下降沿移入。数据在低电平保持。

1: 数据在下降沿移出, 在上升沿移入。数据在高电平保持。

**Bit 6 (SPIE):** SPI 使能位

0: 禁止 SPI 模块

1: 使能 SPI 模块

**Bit 5 (SRO):** SPI 读溢出位

0: 没有溢出

1: 当之前的数据还留在 SPIRB 寄存器, 又接收新的数据时, 在这种情况下 SPIB 寄存器的数据被覆盖。为了避免这种情况, 用户要在传输完成后及时读取 SPIRB 寄存器的值。这种情况只发生在从机模式。

**Bit 4 (SSE):** SPI 移位使能位



0: 移位一完成就清零, 下一个字节即将移位

1: 开始移位, 当前字节仍然在传输时保持为“1”.

**Bit 3 (SDOC):** SDO 输出状态控制位

0: 串行数据输出后, SDO 保持高

1: 串行数据输出后, SDO 保持低

**Bits 2~0 (SBRS2~SBRS0):** SPI 波特率选择位

SBRS2	SBRS1	SBRS0	模式	SPI 波特率
0	0	0	主模式	Fosc/2
0	0	1	主模式	Fosc/4
0	1	0	主模式	Fosc/8
0	1	1	主模式	Fosc/16
1	0	0	主模式	Fosc/32
1	0	1	主模式	定时器 2
1	1	0	从模式	/SS 使能
1	1	1	模式	/SS 禁止

### 6.2.35 Bank 2 RE SPIR (SPI 读缓冲器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SRB7	SRB6	SRB5	SRB4	SRB3	SRB2	SRB1	SRB0

**Bits 7~0 (SRB7~SRB0):** SPI 读数据缓冲器

### 6.2.36 Bank 2 RF SPIW (SPI 写缓冲器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SWB7	SWB6	SWB5	SWB4	SWB3	SWB2	SWB1	SWB0

**Bits 7~0 (SWB7~SWB0):** SPI 写数据缓冲器

### 6.2.37 Bank 3 R5 URC (UART 控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
URTD8	UMODE1	UMODE0	BRATE2	BRATE1	BRATE0	UTBE	TXE

**Bit 7 (URTD8):** 传输数据的第 8 位

**Bits 6~5 (UMODE1~UMODE0):** UART 传输模式选择位

UMODE1	UMODE0	UART 模式
0	0	模式 1: 7 位
0	1	模式 2: 8 位
1	0	模式 3: 9 位
1	1	保留

**Bits 4~2 (BRATE2~BRATE0):** 传输波特率选择 ( $T_{UART}=F_c/16$ )

BRATE2	BRATE1	BRATE0	波特率	e.g. $F_c = 8 \text{ MHz}$
0	0	0	$T_{UART}/13$	38400
0	0	1	$T_{UART}/26$	19200
0	1	0	$T_{UART}/52$	9600
0	1	1	$T_{UART}/104$	4800
1	0	0	$T_{UART}/208$	2400
1	0	1	$T_{UART}/416$	1200
1	1	0	定时器 1	
1	1	1	保留	

**Bit 1 (UTBE):** UART 传送缓冲器空标志。当传送缓冲器空时置 1。当写 URTD 寄存器时自动复位到 0。传送使能位 UTBE 由硬件清零。UTBE 位是只读的。因此有必要写 URTD 寄存器来启动传送移位。

**Bit 0 (TXE):** 使能发送

0: 禁止

1: 使能

### 6.2.38 Bank 3 R6 URS (UART 状态)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
URRD8	EVEN	PRE	PRERR	OVERR	FMERR	URBF	RXE

**Bit 7 (URRD8):** 接收数据的第 8 位

**Bit 6 (EVEN):** 选择奇偶校验

0: 奇校验

1: 偶校验

**Bit 5 (PRE):** 使能奇偶补充

0: 禁止

1: 使能

**Bit 4 (PRERR):** 奇偶校验错误标志

当奇偶校验出错时置 1，由软件清 0。

**Bit 3 (OVERR):** 超速错误标志位

当超速错误发生时置 1，由软件清 0。

**Bit 2 (FMERR):** 帧错误标志

当帧错误发生时置 1，由软件清 0。

**Bit 1 (URBF):** UART 读缓冲器满标志

当接收完一个字符就置 1, 当读 URS 寄存器就自动清 0。使能接收 URBF 由硬件清 0。URBF 是只读位, 因此有必要读 URS 寄存器来避免超速错误。

**Bit 0 (RXE):** 使能接收。不能产生 UART 传送中断。

**0:** 禁止

**1:** 使能

### 6.2.39 Bank 3 R7 URRD (UART\_RD数据缓冲器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
URRD7	URRD6	URRD5	URRD4	URRD3	URRD2	URRD1	URRD0

**Bits 7~0 (URRD7~URRD0):** UART 接收数据缓冲器, 只读。

### 6.2.40 Bank 3 R8 URTD (UART\_TD数据缓冲器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
URTD 7	URTD 6	URTD 5	URTD 4	URTD 3	URTD 2	URTD 1	URTD0

**Bits 7~0 (URTD7~URTD0):** UART 传送数据缓冲器, 只写。

### 6.2.41 Bank 3 R9 ADCR (A/D控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADRUN	ADP	ADCK1	ADCK0	ADIS3	ADIS2	ADIS1	ADIS0

**Bit 7 (ADRUN):** AD 转换开始位

**0:** 转换完成由硬件复位置 0, 该位不能由软件复位置 0。

**1:** 转换开始

**Bit 6 (ADP):** A/D 电源控制位

**0:** 关闭

**1:** 开启

**Bits 5~4 (ADCK1~ADCK0):** AD 转换时间选择位

ADCK1	ADCK0	时钟源	最大工作频率(Fc)
0	0	Fc/4	1 MHz
0	1	Fc/16	4 MHz
1	0	Fc/32	8 MHz
1	1	Fc/64	16 MHz

**Bits 3~0 (ADIS3~ADIS0):** A/D 输入选择位

ADIS3	ADIS2	ADIS1	ADIS0	模拟输入引脚
0	0	0	0	AD0
0	0	0	1	AD1
0	0	1	0	AD2
0	0	1	1	AD3
0	1	0	0	AD4
0	1	0	1	AD5
0	1	1	0	AD6
0	1	1	1	AD7
1	0	0	0	AD8
1	0	0	1	AD9
1	0	1	0	AD10
1	0	1	1	AD11

#### 6.2.42 Bank 3 RA ADICH (A/D 输入控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CALI	ADREF	0	0	ADE11	ADE10	ADE9	ADE8

**Bit 7 (CALI):** A/D 偏移量校准使能位

0: 禁止校准

1: 使能校准

**Bit 6 (ADREF):** AD 参考电压输入选择

0: 内部 VDD, P84 作为 I/O。

1: 外部参考引脚, P84 作为外部参考输入引脚。

外部的 V<sub>REF</sub> 的准确度好于内部 VDD。

**Bits 5~4:** 保留

**Bits 3~0 (ADE11~ADE8):** AD 输入引脚使能控制

0: I/O 引脚

1: 模拟输入引脚

#### 6.2.43 Bank 3 RB ADICL (A/D 输入控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADE7	ADE6	ADE5	ADE4	ADE3	ADE2	ADE1	ADE0

**Bits 7~0 (ADE7~ADE0):** AD 输入引脚使能控制

0 : I/O 引脚

1 : 模拟输入引脚

#### 6.2.44 Bank 3 RC ADDH (AD高8位数据缓冲器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADD11	ADD10	ADD9	ADD8	ADD7	ADD6	ADD5	ADD4

Bits 7~0 (ADD11~ADD4): AD 高 8 位数据缓冲器

#### 6.2.45 Bank 3 RD ADDL (AD低4位数据缓冲器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SIGN	VOF[2]	VOF[1]	VOF[0]	ADD3	ADD2	ADD1	ADD0

Bit 7 (SIGN): 补偿电压极性位

0 : 负电压

1 : 正电压

Bits 6~4 (VOF[2]~VOF[0]): 补偿电压选择位

VOF[2]	VOF[1]	VOF[0]	EM78P520N
0	0	0	0LSB
0	0	1	2LSB
0	1	0	4LSB
0	1	1	6LSB
1	0	0	8LSB
1	0	1	10LSB
1	1	0	12LSB
1	1	1	14LSB

Bits 3~0 (ADD3~ADD0): AD 低 4 位数据缓冲器

#### 6.2.46 Bank 3 RE EIESH (外部中断沿选择控制寄存器 -高字节)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
EIES7	EIES6	EIES5	EIES4	EIES3	EIES2	EIES1	EIES0

Bits 7~0 (EIES7~EIES0): 外部中断 7~0 边沿选择位

0 : 下降沿中断

1 : 上升沿中断

### 6.2.47 Bank 3 RF EIESL (外部中断沿选择控制寄存器-低字节)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	0	0	ADWK	INTWK9	INTWK8	EIES9	EIES8

Bits 7~5: 保留

Bit 4 (ADWK): A/D 转换唤醒功能使能位

0: 禁止

1: 使能

Bits 3~2 (INTWK9~INTWK8): 外部中断 9~8 唤醒功能使能位

0: 禁止

1: 使能

Bits 1~0 (EIES9~EIES8): 外部中断 9~8 边沿选择位

0: 下降沿中断

1: 上升沿中断

### 6.2.48 Bank 4 R5 LEDDCR (LED驱动控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LEDD7	LEDD6	LEDD5	LEDD4	LEDD3	LEDD2	LEDD1	LEDD0

Bits 7~0 (LEDD7~LEDD0): 8 位 LED 驱动控制位

0: Port 9 作为普通 I/O

1: Port 9 作为 LED 直接驱动 I/O

### 6.2.49 Bank 4 R6 WBCR (秒表定时器和蜂鸣器控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
WTCS	WTIE	WTIF	WTSSB1	WTSSB0	BUZE	BSSB1	BSSB0

Bit 7 (WTCS): 秒表定时器和蜂鸣器时钟源选择位

0: 主时钟除以 256

1: 副时钟

Bit 6 (WTIE): 秒表定时器使能位和中断屏蔽

0: 禁止

1: 使能

Bit 5 (WTIF): 秒表定时器中断标志

Bits 4~3 (WTSSB1~ WTSSB0): 秒表定时器间隔时间选择位

WTSSB1	WTSSB0	定时器间隔选择 (WTCS=1)	Fm=8MHz (WTCS=0)
0	0	1.0S	1.0S
0	1	0.5S	0.5S
1	0	0.25S	0.25S
1	1	3.91ms	3.91ms

**Bit 2 (BUZE):** 蜂鸣器使能、P91 端口作为蜂鸣器输出引脚

0 : 不起作用

1 : 作为蜂鸣器输出

**Bits 1~0 (BSSB1~BSSB0):** 蜂鸣器输出频率选择位

BSSB1	BSSB0	蜂鸣器信号选择 (WTCS=1)	Fm=8MHz (WTCS=0)
0	0	0.5kHz	0.5kHz
0	1	1kHz	1kHz
1	0	2kHz	2kHz
1	1	4kHz	4kHz

#### 6.2.50 Bank 4 R7 PIOCRR (Port 7 I/O控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IOC77	IOC76	IOC75	IOC74	IOC73	IOC72	IOC71	IOC70

**Bits 7~0 (IOC77~IOC70):** Port7 的 8 位方向控制寄存器

0 : 定义 Port7 为输出端口

1 : 定义 Port7 为输入端口

#### 6.2.51 Bank 4 R8 PIOCRR (Port 8 I/O控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IOC87	IOC86	IOC85	IOC84	IOC83	IOC82	IOC81	0

**Bits 7~1 (IOC87~IOC81):** Port 8 的 7 位方向控制寄存器

0 : 定义 Port8 为输出端口

1 : 定义 Port8 为输入端口

**Bit 0:** 保留

#### 6.2.52 Bank 4 R9 PIOCRR (Port 9 I/O控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IOC97	IOC96	IOC95	IOC94	IOC93	IOC92	IOC91	IOC90

**Bits 7~0 (IOC97~IOC90):** Port 9 的 8 位方向控制寄存器

0 : 定义 Port9 为输出端口

1 : 定义 Port9 为输入端口

### 6.2.53 Bank 4 RA PIOCRA (Port A I/O控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IOCA7	IOCA6	IOCA5	IOCA4	IOCA3	IOCA2	IOCA1	IOCA0

**Bits 7~0 (IOCA7~IOCA0):** Port A 的 8 位方向控制寄存器

0 : 定义 Port A 为输出端口

1 : 定义 Port A 为输入端口

### 6.2.54 Bank 4 RB PIOCRA (Port B I/O控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IOCB7	IOCB6	IOCB5	IOCB4	IOCB3	IOCB2	IOCB1	IOCB0

**Bits 7~0 (IOCB7~IOCB0):** Port B 的 8 位方向控制寄存器

0 : 定义 Port B 为输出端口

1 : 定义 Port B 为输入端口

### 6.2.55 Bank 4 RC PIOCRA (Port C I/O控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
1	1	1	1	IOCC3	IOCC2	IOCC1	IOCC0

**Bits 7~4:** 保留

**Bits 3~0 (IOCC3~IOCC0):** Port C 的 4 位方向控制寄存器

0 : 定义 Port C 为输出端口

1 : 定义 Port C 为输入端口

### 6.2.56 Bank 4 RF WKCR (唤醒控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTWK7	INTWK6	INTWK5	INTWK4	INTWK3	INTWK2	INTWK1	INTWK0

**Bits 7~0 (INTWK7~INTWK0):** 外部中断 7~0 唤醒功能使能位

0 : 禁止

1 : 使能



### 6.2.57 Bank 5 R6 UARC2 (UART控制寄存器2)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	0	UARTE	0	UINVEN	0	0	0

**Bits 7~6:** 保留

**Bit 5 (UARTE):** UART 功能使能

**0:** UART 功能禁止。PB4、PB5 作为通用 I/O

**1:** UART 功能使能。PB4、PB5 作为 UART Rx、Tx 引脚

**Bit 4:** 保留

**Bit 3 (UINVEN):** 使能 UART TX 和 Rx 端口反向输出

**0:** 禁止 Tx 和 Rx 端口反向输出

**1:** 使能 Tx 和 Rx 端口反向输出

**Bits 2~0:** 保留

### 6.2.58 Bank 5 R7 P7PHCR (Port 7上拉控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PH77	PH76	PH75	PH74	PH73	PH72	PH71	PH70

**Bits 7~0 (PH77~PH70):** Port 7 的 8 位上拉控制寄存器

**0:** 上拉禁止

**1:** 上拉使能

### 6.2.59 Bank 5 R8 P8PHCR (Port 8上拉控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PH87	PH86	PH85	PH84	PH83	PH82	PH81	0

**Bits 7~1 (PH87~PH81):** PORT 8 的 7 位上拉控制寄存器

**0:** 上拉禁止

**1:** 上拉使能

**Bit 0:** 保留

### 6.2.60 Bank 5 R9 P9PHCR (Port 9上拉控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PH97	PH96	PH95	PH94	PH93	PH92	PH91	PH90

**Bits 7~0 (PH97~PH90):** Port 9 的 8 位上拉控制寄存器

0: 上拉禁止

1: 上拉使能

### 6.2.61 Bank 5 RA PAPHCR (Port A 上拉控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PHA7	PHA6	PHA5	PHA4	PHA3	PHA2	PHA1	PHA0

Bits 7~0 (PHA7~PHA0): Port A 的 8 位上拉控制寄存器

0: 上拉禁止

1: 上拉使能

### 6.2.62 Bank 5 RB PBPHCR (Port B 上拉控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PHB7	PHB6	PHB5	PHB4	PHB3	PHB2	PHB1	PHB0

Bits 7~0 (PHB7~PHB0): Port B 的 8 位上拉控制寄存器

0: 上拉禁止

1: 上拉使能

### 6.2.63 Bank 5 RC PCPHCR (Port C 上拉控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	0	0	0	PHC3	PHC2	PHC1	PHC0

Bits 7~4: 保留

Bits 3~0 (PHC3~PHC0): Port C 的 4 位上拉控制寄存器

0: 上拉禁止

1: 上拉使能

### 6.2.64 Bank 6 R6 LVRCCR (低电压复位控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	0	0	0	0	LVREN	LVRS1	LVRS0

R6 仅仅用于 ICE520 仿真器。

Bits 7~3: 保留

Bit 2 (LVREN): 低电压复位使能位

0: 禁止

1: 使能

Bits 1~0 (LVRS1~LVRS0): 低电压复位电压选择位

LVRS1	LVRS0	复位电压
0	0	2.6V
0	1	3.3V
1	0	3.9V

### 6.2.65 Bank 6 R7 P7ODCR (Port 7漏极开路控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OD77	OD76	OD75	OD74	OD73	OD72	OD71	OD70

**Bits 7~0 (OD77~OD70):** Port 7 的 8 位漏极开路控制寄存器

- 0: 禁止漏极开路
- 1: 使能漏极开路

### 6.2.66 Bank 6 R8 P8ODCR (Port 8漏极开路控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OD87	OD86	OD85	OD84	OD83	OD82	OD81	0

**Bits 7~1 (OD87~OD80):** Port 8 的 7 位漏极开路控制寄存器

- 0: 禁止漏极开路
- 1: 使能漏极开路

**Bit 0:** 保留

### 6.2.67 Bank 6 R9 P9ODCR (Port 9漏极开路控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OD97	OD96	OD95	OD94	OD93	OD92	OD91	OD90

**Bits 7~0 (OD97~OD90):** Port 9 的 8 位漏极开路控制寄存器

- 0: 禁止漏极开路
- 1: 使能漏极开路

### 6.2.68 Bank 6 RA PAODCR (Port A 漏极开路控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ODA7	ODA6	ODA5	ODA4	ODA3	ODA2	ODA1	ODA0

**Bits 7~0 (ODA7~ODA0):** Port A 的 8 位漏极开路控制寄存器

- 0: 禁止漏极开路
- 1: 使能漏极开路

### 6.2.69 Bank 6 RB PBODCR (Port B 漏极开路控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ODB7	ODB6	ODB5	ODB4	ODB3	ODB2	ODB1	ODB0

**Bits 7~0 (ODB7~ODB0):** Port B 的 8 位漏极开路控制寄存器

0: 禁止漏极开路

1: 使能漏极开路

### 6.2.70 Bank 6 RC (Port C)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
1	1	1	1	RC3	RC2	RC1	RC0

**Bits 7~4:** 保留

**Bits 3~0 (RC3~RC0):** Port C 的 4 位 I/O 寄存器

### 6.2.71 R10~R3F (通用寄存器)

R10~R1F 和 R20~R3F (Banks 0~7) 是通用寄存器。

### 6.3 TCC/WDT 预分频器

TCC/WDT 电路的寄存器

R_BANK	地址	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bank 0	0X0D	TWTCR	WDTE	WPSR2	WPSR1	WPSR0	TCCS	TPSR2	TPSR1	TPSR0
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Bank 0	0x0E	IMR	T1IE	LVDIE	ADIE	SPIIE	URTIE	EXIE9	EXIE8	TCIE
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Bank 0	0x0F	ISR	T1IF	LVDIF	ADIF	SPIIF	URTIF	EXIF9	EXIF8	TCIF
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCC 和 WDT 各有一个 8 位计数器作为预分频器。 Bank 0 RD(TWTCR)的 TPSR0~TPSR2 位决定 TCC 的预分频比。同样的, Bank 0 RD(TWTCR)的 WPSR0~WPSR2 位决定 WDT 的预分频比。WDT 和其预分频比被“WDTC”、“SLEP”指令清零。图 6-4 描述了 TCC/WDT 的功能结构。

R1(TCC)是一个 8 位定时/计数器。TCC 时钟源可选择内部主时钟或副时钟(32.768KHz)。如果 TCC 选择内部时钟作为时钟源, TCC 将在每运行一个指令周期加 1(预分频为 1:1), 如图 6-4 的说明。WDT 的时钟源是一个自由运行的片内 RC 振荡器, 当振荡器驱动器关闭后(例如在休眠模式), WDT 还在继续运行。无论是正常模式还是休眠模式, WDT 定时溢出(如果使能)将使 MCU 复位。在正常模式下 WDT 的禁止和使能通过软件设置, 参考 Bank 0 RD (TWTCR) 寄存器的 WDTE 位设置。如没有设置 WDT 的预分频比, 则 WDT 溢出的时间是 18 ms<sup>1</sup>。

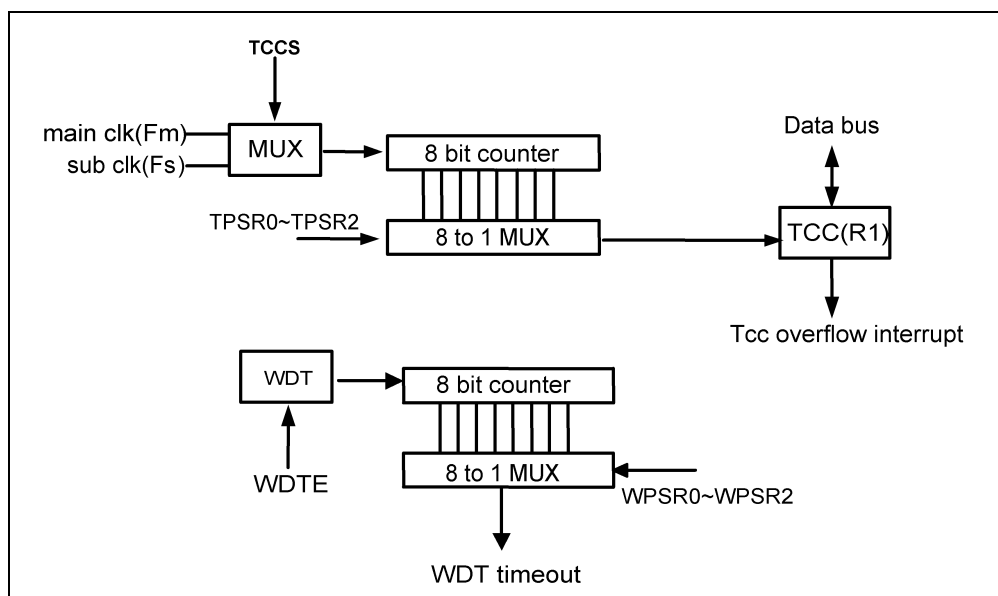


图 6-4 TCC/WDT 功能结构图

<sup>1</sup> 注: VDD=5V, 启动时间周期 = 16.5ms ± 30%  
VDD=3V, 启动时间周期 = 18ms ± 30%  
WDT 启动时间

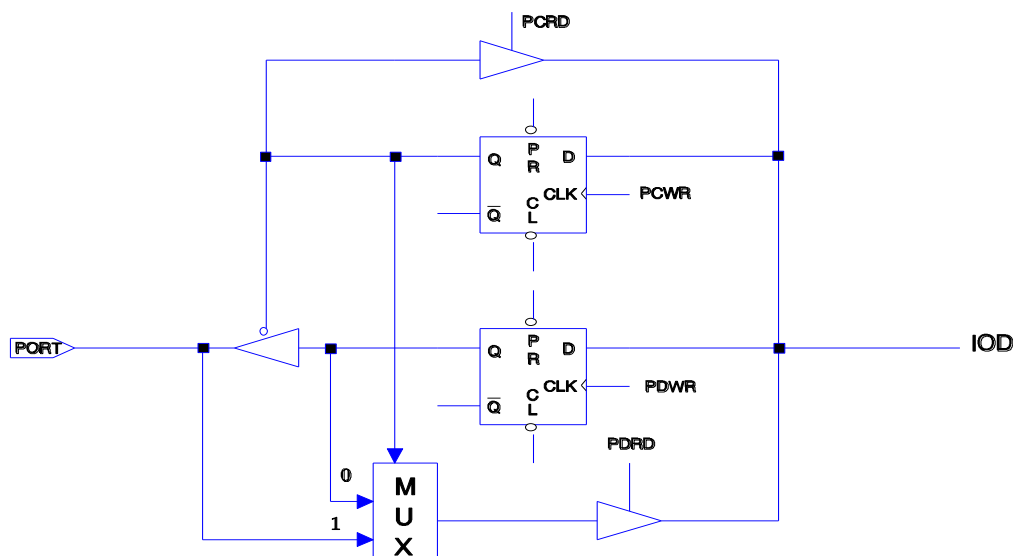
## 6.4 I/O 端口

I/O 电路的寄存器。

R_BANK	地址	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bank 4	0X07~0X0C	PIOCR	IOC7	IOC6	IOC5	IOC4	IOC3	IOC2	IOC1	IOC0
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Bank 5	0X07~0X0C	PHCR	PH7	PH6	PH5	PH4	PH3	PH2	PH1	PH0
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Bank 6	0X07~0X0B	ODCR	OD7	OD6	OD5	OD4	OD3	OD2	OD1	OD0
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

I/O 端口寄存器（Port7、Port8、Port9、PortA、PortB 和 PortC）均为三态双向端口。所有引脚都可以通过软件设为内部上拉。同样的，Port7、Port8、Port9、PortA、PortB 和 PortC 都可以通过软件设为漏极开路。Port7[7: 4]、PortB[3: 0]和 Port8[3: 2]提供了输入状态改变中断（或唤醒）功能且都可以通过软件设为上拉。通过设定 I/O 数据寄存器（Bank 4 R7 ~ RC）每一个 I/O 引脚都可以定义为“输入”或“输出”引脚。I/O 数据寄存器和 I/O 控制寄存器都是可读写的。I/O 接口电路如图 6-5 所示。

如果将 I/O 同时设为上拉和输出低，会相应的增加功耗。



注: 漏极开路没有在图中显示

图6-5 Port7~9和PortA~C的I/O端口和控制寄存器电路

## 6.5 复位和唤醒

复位由下列事件之一引起:

- 上电复位
- WDT 溢出 (如果使能)
- LVR 复位 (如果使能)
- RESET 引脚拉低

### 注意

上电复位电路是一直使能的, CPU在2.3V复位, 消耗大约0.5 $\mu$ A的电流。

一旦复位发生, 执行下列功能:

- 振荡器继续运行, 或起振
- 程序计数器 (R2) 设为 "0"
- 所有 I/O 引脚为输入 (高阻抗模式)
- TCC/WDT 和预分频器清零
- 上电时 R5 和 R6 清零
- 其他寄存器在表 2 中说明

表2 寄存器初始化值的概况

地址	名称	复位类型	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0x00	R0 (IAR)	位名称	-	-	-	-	-	-	-	-
		上电	U	U	U	U	U	U	U	U
		/RESET 和 WDT	P	P	P	P	P	P	P	P
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P
0x01	R1 (TCC)	位名称	-	-	-	-	-	-	-	-
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P
0x02	R2 (PC)	位名称	-	-	-	-	-	-	-	-
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		从休眠和空闲模式唤醒	继续执行下一条指令							
0x03	R3 (SR)	位名称	LV DEN	LV DS1	LV DS0	T	P	Z	DC	C
		上电	0	0	0	1	1	U	U	U
		/RESET 和 WDT	0	0	0	t	t	P	P	P
		从休眠和空闲模式唤醒	P	P	P	t	t	P	P	P
0x04	R4 (RSR)	位名称	VDB	BNC	X	X	X	X	X	X
		上电	1	1	U	U	U	U	U	U
		/RESET 和 WDT	1	1	P	P	P	P	P	P
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P
Bank 0 0x05	Bank0 R5 (RBSR)	位名称	0	0	0	0	0	BS2	BS1	BS0
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P
Bank 0 0x07	R7 (Port 7)	位名称	R77	R76	R75	R74	R73	R62	R71	R70
		上电	1	1	1	1	1	1	1	1
		/RESET 和 WDT	1	1	1	1	1	1	1	1
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P
Bank 0 0x08	R8 (Port 8)	位名称	R87	R86	R85	R84	R83	R82	R81	0
		上电	1	1	1	1	1	1	1	0
		/RESET 和 WDT	1	1	1	1	1	1	1	0
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	0





地址	名称	复位类型	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bank 0 0x09	R9 (Port 9)	位名称	R97	R96	R95	R94	R93	R92	R91	R90
		上电	1	1	1	1	1	1	1	1
		/RESET 和 WDT	1	1	1	1	1	1	1	1
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P
Bank 0 0x0A	RA (Port A)	位名称	RA7	RA6	RA5	RA4	RA3	RA2	RA1	RA0
		上电	1	1	1	1	1	1	1	1
		/RESET 和 WDT	1	1	1	1	1	1	1	1
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P
Bank 0 0x0B	RB (Port B)	位名称	RB7	RB6	RB5	RB4	RB3	RB2	RB1	RB0
		上电	1	1	1	1	1	1	1	1
		/RESET 和 WDT	1	1	1	1	1	1	1	1
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P
Bank 0 0x0C	RC (SCCR)	位名称	0	CLK2	CKL1	CLK0	IDLE	0	0	CPUS
		上电	0	0	0	0	1	0	0	1
		/RESET 和 WDT	0	0	0	0	1	0	0	1
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P
Bank 0 0x0D	RD (TWTCR)	位名称	WDTE	WPSR2	WPSR1	WPSR0	TCCS	TPSR2	TPSR1	TPSR0
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P
Bank 0 0x0E	RE (IMR)	位名称	T1IE	LVDIE	ADIE	SPIIE	URTIE	EXIE9	EXIE8	TCIE
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P
Bank 0 0x0F	RF (ISR)	位名称	T1IF	LVDIF	ADIF	SPIIF	URTIF	EXIF9	EXIF8	TCIF
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P
Bank 1 0x05	Bank1 R5 (LCDCR)	位名称	LCDEN	LCDPYE	BS1	BS0	DS1	DS0	LCDF1	LCDF0
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P
Bank 1 0x06	R6 (LCDAR)	位名称	0	0	0	LCD_A4	LCD_A3	LCD_A2	LCD_A1	LCD_A0
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P

地址	名称	复位类型	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bank 1 0x07	R7 (LCDBR)	位名称	LCD_D7	LCD_D6	LCD_D5	LCD_D4	LCD_D3	LCD_D2	LCD_D1	LCD_D0
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P
Bank 1 0x08	R8 (LCDVCR)	位名称	0	0	0	LCDC1	LCDC0	LCDVC2	LCDVC1	LCDVC0
		上电	0	0	0	1	1	1	1	1
		/RESET 和 WDT	0	0	0	1	1	1	1	1
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P
Bank 1 0x09	R9 (LCDCCR)	位名称	COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P
Bank 1 0x0A	RA (LCDSCR0)	位名称	SEG7	SEG6	SEG5	SEG4	SEG3	SEG2	SEG1	SEG0
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P
Bank 1 0x0B	RB (LCDSCR1)	位名称	SEG15	SEG14	SEG13	SEG12	SEG11	SEG10	SEG9	SEG8
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P
Bank 1 0x0C	RC (LCDSCR2)	位名称	0	SEG22	SEG21	SEG20	SEG19	SEG18	SEG17	SEG16
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P
Bank 1 0x0E	RE (EIMR)	位名称	EXIE7	EXIE6	EXIE5	EXIE4	EXIE3	EXIE2	EXIE1	EXIE0
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P
Bank 1 0x0F	RF (EISR)	位名称	EXIF7	EXIF6	EXIF5	EXIF4	EXIF3	EXIF2	EXIF1	EXIF0
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P
Bank 2 0x05	Bank2 R5 (T1CR)	位名称	TIS1	TIS0	T1MS2	T1MS1	TIMS0	T1P2	T1P1	T1P0
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P



地址	名称	复位类型	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bank 2 0x06	R6 (TSR)	位名称	T1MOD	TCRB	T1CSS1	T1CSS0	T2CSS	T1S	T1OMS	T1OC
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P
Bank 2 0x07	R7 (T1PD)	位名称	PRD1[7]	PRD1[6]	PRD1[5]	PRD1[4]	PRD1[3]	PRD1[2]	PRD1[1]	PRD1[0]
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P
Bank 2 0x08	R8 (T1TD)	位名称	TD1[7]	TD1[6]	TD1[5]	TD1[4]	TD1[3]	TD1[2]	TD1[1]	TD1[0]
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P
Bank 2 0x09	R9 (T2CR)	位名称	T2IF	T2IE	T2S	T2MS1	T2MS0	T2P2	T2P1	T2P0
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P
Bank 2 0x0A	RA (T2PD)	位名称	PRD2[7]	PRD2[6]	PRD2[5]	PRD2[4]	PRD2[3]	PRD2[2]	PRD2[1]	PRD2[0]
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P
Bank 2 0x0B	RB (T2TD)	位名称	TD2[7]	TD2[6]	TD2[5]	TD2[4]	TD2[3]	TD2[2]	TD2[1]	TD2[0]
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P
Bank 2 0x0C	RC (SPIS)	位名称	DORD	TD1	TD0	0	OD3	OD4	0	RBF
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P
Bank 2 0x0D	RD (SPIC)	位名称	CES	SPIE	SRO	SSE	SDOC	SBRS2	SBRS1	SBRS0
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P
Bank 2 0x0E	RE (SPIR)	位名称	SRB7	SRB6	SRB5	SRB4	SRB3	SRB2	SRB1	SRB0
		上电	U	U	U	U	U	U	U	U
		/RESET 和 WDT	U	U	U	U	U	U	U	U
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P

地址	名称	复位类型	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bank 2 0x0F	RF (SPIW)	位名称	SWB7	SWB6	SWB5	SWB4	SWB3	SWB2	SWB1	SWB0
		上电	U	U	U	U	U	U	U	U
		/RESET 和 WDT	U	U	U	U	U	U	U	U
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P
Bank 3 0x05	Bank3 R5 (URC)	位名称	URTD8	UMODE1	UMODE0	BRATE2	BRATE1	BRATE0	UTBE	TXE
		上电	U	0	0	0	0	0	0	0
		/RESET 和 WDT	P	0	0	0	0	0	0	0
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P
Bank 3 0x06	R6 (URS)	位名称	URRD8	EVEN	PRE	PRERR	OVERR	FMERR	URBF	RXE
		上电	U	0	0	0	0	0	0	0
		/RESET 和 WDT	P	0	0	0	0	0	0	0
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P
Bank 3 0x07	R7 (URRD)	位名称	URRD7	URRD6	URRD5	URRD4	URRD3	URRD2	URRD1	URRD0
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	P	P	P	P	P	P	P	P
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P
Bank 3 0x08	R8 (URTD)	位名称	URTD7	URTD6	URTD5	URTD4	URTD3	URTD2	URTD1	URTD0
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	P	P	P	P	P	P	P	P
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P
Bank 3 0x09	R9 (ADCR)	位名称	ADRUN	ADP	ADCK1	ADCK0	ADIS3	ADIS2	ADIS1	ADIS0
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P
Bank 3 0x0A	RA (ADICH)	位名称	CALI	ADREF	0	0	ADE11	ADE10	ADE9	ADE8
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P
Bank 3 0x0B	RB (ADICL)	位名称	ADE7	ADE6	ADE5	ADE4	ADE3	ADE2	ADE1	ADE0
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P
Bank 3 0x0C	RC (ADDH)	位名称	ADD11	ADD10	ADD9	ADD8	ADD7	ADD6	ADD5	ADD4
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P



地址	名称	复位类型	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bank 3 0x0D	RD (ADDL)	位名称	SIGN	VOF[2]	VOF[1]	VOF[0]	ADD3	ADD2	ADD1	ADD0
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P
Bank 3 0x0E	RE (EIESH)	位名称	EIES7	EIES6	EIES5	EIES4	EIES3	EIES2	EIES1	EIES0
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P
Bank 3 0x0F	RF (EIESL)	位名称	0	0	0	ADWK	INTWK9	INTWK8	EIES9	EIES8
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P
Bank 4 0x05	Bank4 R5 (LEDDCR)	位名称	LEDD7	LEDD6	LEDD5	LEDD4	LEDD3	LEDD2	LEDD1	LEDD0
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P
Bank 4 0x06	R6 (WBCR)	位名称	WTCS	WTIE	WTIF	WTSSB1	WTSSB0	BUZE	BSSB1	BSSB0
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P
Bank 4 0x07	R7 (IOC7)	位名称	IOC77	IOC76	IOC75	IOC74	IOC73	IOC72	IOC71	IOC70
		上电	1	1	1	1	1	1	1	1
		/RESET 和 WDT	1	1	1	1	1	1	1	1
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P
Bank 4 0x08	R8 (IOC8)	位名称	IOC87	IOC86	IOC85	IOC84	IOC83	IOC82	IOC81	0
		上电	1	1	1	1	1	1	1	0
		/RESET 和 WDT	1	1	1	1	1	1	1	0
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P
Bank 4 0x09	R9 (IOC9)	位名称	IOC97	IOC96	IOC95	IOC94	IOC93	IOC92	IOC91	IOC90
		上电	1	1	1	1	1	1	1	1
		/RESET 和 WDT	1	1	1	1	1	1	1	1
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P
Bank 4 0x0A	RA (IOCA)	位名称	IOCA7	IOCA6	IOCA5	IOCA4	IOCA3	IOCA2	IOCA1	IOCA0
		上电	1	1	1	1	1	1	1	1
		/RESET 和 WDT	1	1	1	1	1	1	1	1
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P

地址	名称	复位类型	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bank 4 0×0B	RB (IOCB)	位名称	IOCB7	IOCB6	IOCB5	IOCB4	IOCB3	IOCB2	IOCB1	IOCB0
		上电	1	1	1	1	1	1	1	1
		/RESET 和 WDT	1	1	1	1	1	1	1	1
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P
Bank 4 0×0C	RC (IOCC)	位名称	1	1	1	1	IOCC3	IOCC2	IOCC1	IOCC0
		上电	1	1	1	1	1	1	1	1
		/RESET 和 WDT	1	1	1	1	1	1	1	1
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P
Bank 4 0×0F	RF (WKCR)	位名称	INTWK7	INTWK6	INTWK5	INTWK4	INTWK3	INTWK2	INTWK1	INTWK0
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P
Bank 5 0×06	Bank5 R6 (UARC2)	位名称	0	0	UARTE	0	UINVEN	0	0	0
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P
Bank 5 0×07	R7 (P7PHCR)	位名称	PH77	PH76	PH75	PH74	PH73	PH72	PH71	PH70
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P
Bank 5 0×08	R8 (P8PHCR)	位名称	PH87	PH86	PH85	PH84	PH83	PH82	PH81	0
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P
Bank 5 0×09	R9 (P9PHCR)	位名称	PH97	PH96	PH95	PH94	PH93	PH92	PH91	PH90
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P
Bank 5 0×0A	RA (PAPHCR)	位名称	PHA7	PHA6	PHA5	PHA4	PHA3	PHA2	PHA1	PHA0
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P
Bank 5 0×0B	RB (PBPHCR)	位名称	PHB7	PHB6	PHB5	PHB4	PHB3	PHB2	PHB1	PHB0
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P

地址	名称	复位类型	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bank 5 0x0C	RC (PCPHCR)	位名称	0	0	0	0	PHC3	PHC2	PHC1	PHC0
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P
Bank 6 0x07	Bank6 R7 (P7ODCR)	位名称	OD77	OD76	OD75	OD74	OD73	OD72	OD71	OD70
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P
Bank 6 0x08	R8 (P8ODCR)	位名称	OD87	OD86	OD85	OD84	OD83	OD82	OD81	0
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P
Bank 6 0x09	R9 (P9ODCR)	位名称	OD97	OD96	OD95	OD94	OD93	OD92	OD91	OD90
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P
Bank 6 0x0A	RA (PAODCR)	位名称	ODA7	ODA6	ODA5	ODA4	ODA3	ODA2	ODA1	ODA0
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P
Bank 6 0x0B	RB (PBODCR)	位名称	ODB7	ODB6	ODB5	ODB4	ODB3	ODB2	ODB1	ODB0
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P
Bank 6 0x0C	RC (Port C)	位名称	1	1	1	1	RC3	RC2	RC1	RC0
		上电	1	1	1	1	1	1	1	1
		/RESET 和 WDT	1	1	1	1	1	1	1	1
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P
Bank 0 ~ Bank 7 0x10~ 0x3F	R10~R3F	位名称	-	-	-	-	-	-	-	-
		上电	U	U	U	U	U	U	U	U
		/RESET 和 WDT	U	U	U	U	U	U	U	U
		从休眠和空闲模式唤醒	P	P	P	P	P	P	P	P

图标符号: “x” = 不使用

“P” = 唤醒或复位前的值

“u” = 不知道或不关心

MCU 可以从休眠模式和空闲模式唤醒，下表列出了唤醒信号。

唤醒信号	休眠模式	空闲模式	低速模式	正常模式
TCC 溢出	×	唤醒 + 中断 + 下一条指令	中断	中断
INT 引脚	唤醒 + 中断(如果使能) + 下一条指令	唤醒 + 中断(如果使能) + 下一条指令	中断	中断
定时器 1	×	唤醒 + 中断 + 下一条指令	中断	中断
定时器 2	×	唤醒 + 中断 + 下一条指令	中断	中断
UART	×	唤醒 + 中断 + 下一条指令	中断	中断
SPI	×	唤醒 + 中断 + 下一条指令	中断	中断
LVD	×	唤醒 + 中断 + 下一条指令	中断	中断
A/D	唤醒 + 中断(如果使能) + 下一条指令	唤醒 + 中断(如果中断使能) + 下一条指令	中断	中断
秒表定时器	×	唤醒 + 中断 + 下一条指令	中断	中断
WDT 溢出	复位	复位	复位	复位

注: 在休眠和空闲模式中用 INT 引脚或 A/D 唤醒, 用户必须设置唤醒寄存器 (Bank 3 RF(EIESL) 的位 2~4 和 Bank 4 RF(WKCR) 位 0~7)

唤醒后:

1. 如果中断使能 → 中断+下一条指令
2. 如果中断禁止 → 下一条指令



## 6.6 振荡器

### 6.6.1 振荡器模式

EM78P520N可以工作在3种不同模式：主振荡模式(OSCI, OSCO)，即，带有外部电阻和内部电容的RC振荡模式、晶体振荡模式和PLL模式。用户可以通过选择代码选项寄存器的FMMD1和FMMD0来选择这3种模式中的一种。副振荡器可以是晶振模式和ERIC模式。表3说明了这3种模式的定义。

表3 FSMD, FMMD1, FMMD0 定义振荡模式

FSMD	FMMD1	FMMD0	主时钟	副时钟
0	0	0	RC类型(ERIC)	RC类型(ERIC)
0	0	1	晶振类型	RC类型(ERIC)
0	1	0	PLL类型	RC类型(ERIC)
0	1	1	PLL类型	RC类型(ERIC)
1	0	0	RC类型(ERIC)	晶振类型
1	0	1	晶振类型	晶振类型
1	1	0	PLL类型	晶振类型
1	1	1	晶振	无

表4 最大工作速度概要

条件	VDD	Fxt max. (MHz)
2个时钟	2.0	4
	3.0	8
	5.0	16

### 6.6.2 晶振/陶瓷谐振器(晶体)

EM78P520N可以由通过OSCI引脚输入的外部时钟信号驱动，如图6-6所示。

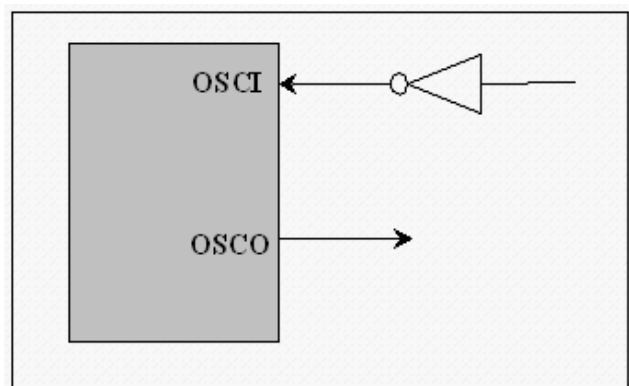


图6-6 外部时钟输入电路

大多数应用情况下，OSC1 引脚和 OSCO 引脚连接晶体或陶瓷谐振器来产生振荡。图 6-7 为电路图。表 5 提供了 C1 和 C2 的匹配电容参考值。每个谐振器有自己的特性，用户应根据谐振器规格选择合适的 C1、C2 值。对 AT 切片晶体和低频模式需串联电阻 RS。

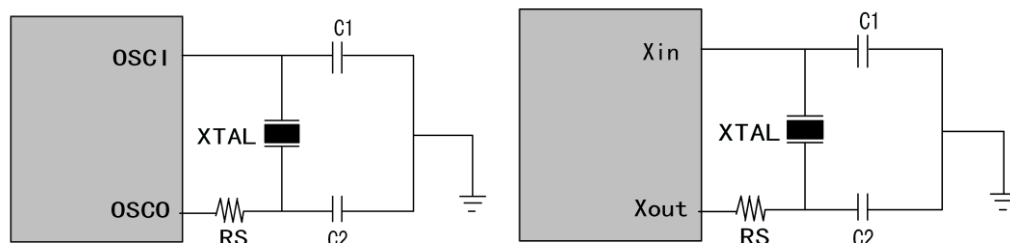


图6-7 晶体/陶瓷谐振电路

表 5 晶体振荡或陶瓷谐振器电容值选择参考表

振荡源	频率类型	频率	C1 (pF)	C2 (pF)	
主振荡器	陶瓷谐振器	455kHz	30	30	
		2.0 MHz	30	30	
		4.0 MHz	30	30	
	晶体振荡器	100K~1 MHz	100kHz	68	68
			200kHz	30	30
			455kHz	30	30
		1M~6 MHz	1.0 MHz	30	30
			2.0 MHz	30	30
			4.0 MHz	30	30
		6M~12 MHz	6.0 MHz	30	30
			8.0 MHz	30	30
			10.0 MHz	30	30
		12M~20 MHz	12.0 MHz	30	30
			16.0 MHz	20	20
20.0 MHz	15		15		
副振荡器	晶体振荡器	32.768kHz	40	40	

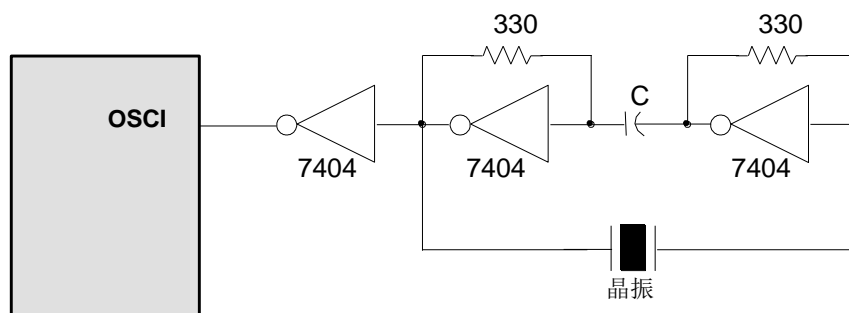


图6-8 晶振/陶瓷谐振器串行模式电路

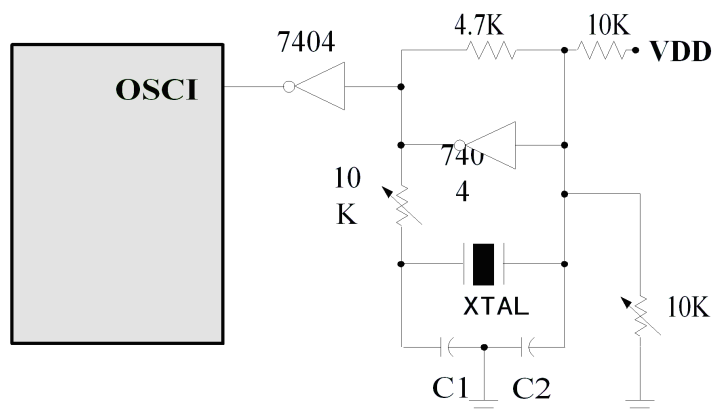


图6-9 晶振/陶瓷谐振器并行模式电路

### 6.6.3 用内部电容的RC振荡模式

如果考虑精度和成本，则 EM78P520N 提供了一种特殊的振荡模式，就是使用内部电容和外部电阻接到 VCC。内部电容的功能是温度补偿。为了获得更精确的频率，推荐用精密电阻。

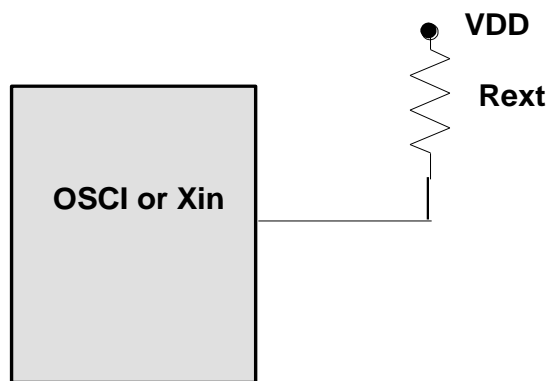


图6-10 内部C振荡模式的电路

表 6 R 振荡器频率

引脚	电阻	平均 Fosc 5V, 25°C	平均 Fosc 3V, 25°C
R-OSCI	51k	2.2221 MHz	2.1972 MHz
	100k	1.1345 MHz	1.1203 MHz
	300k	381.36kHz	374.77kHz
Xin	2.2M	32.768kHz	32.768kHz

注: <sup>1</sup>: 测试基于DIP封装。

<sup>2</sup>: 仅供设计参考。

### 6.6.4 锁相环(PLL模式)

当工作在 PLL 模式，副振荡器决定了主频运行多高的频率。RC (Bank 0) 寄存器用来设置主频频率。主频  $F_m$  与副频  $F_s$  的关系如下表所示：

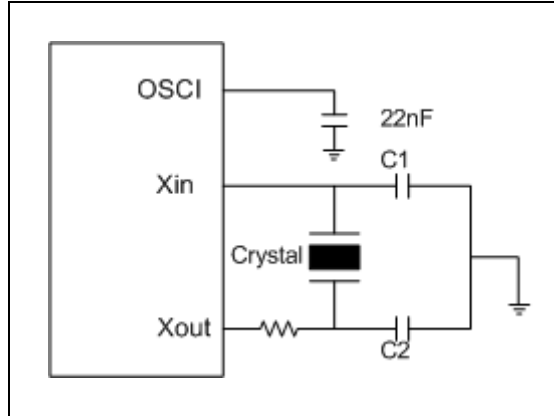


图6-11 PLL模式电路

RC(Bank 0)的位 4~6(CLK0~CLK2): PLL 模式的主时钟选择位(代码选项选择)

CLK2	CLK1	CLK0	主时钟	例如 $F_s = 32.768K$
0	X	X	保留	-
1	0	X	保留	-
1	1	X	$F_s \times 488$	15.99 MHz

## 6.7 上电探讨

任何微控制器不可能在提供电压稳定之前就开始正常工作。EM78P520N内部有一个能检测电压 1.9V 到 2.1V的上电复位器 (POR)。电路中减少了外部复位电路。如果电压迅速上升 (时间低于50 ms)，它将工作的更好。然而在要求严格的应用下，仍然需要附加外部电路以解决上电复位问题。

### 6.7.1 外部上电复位电路

图 6-12 电路给出了由外部 RC 提供复位脉冲的外部电路。脉冲宽度 (时间常数) 应保持足够长的时间使 VDD 达到最小工作电压。这个电路应用在电源电压上升时间比较慢的情况。因为 /RESET 引脚上的驱动电流大约  $\pm 5\mu\text{A}$ ，所以建议 R 值不应大于 40K。这种方法使复位引脚上的电压低于 0.2V。二极管 (D) 在掉电时作为短路回路，将电容 C 迅速放电，限流电阻 Rin 防止大电流或 ESD 进入复位引脚。

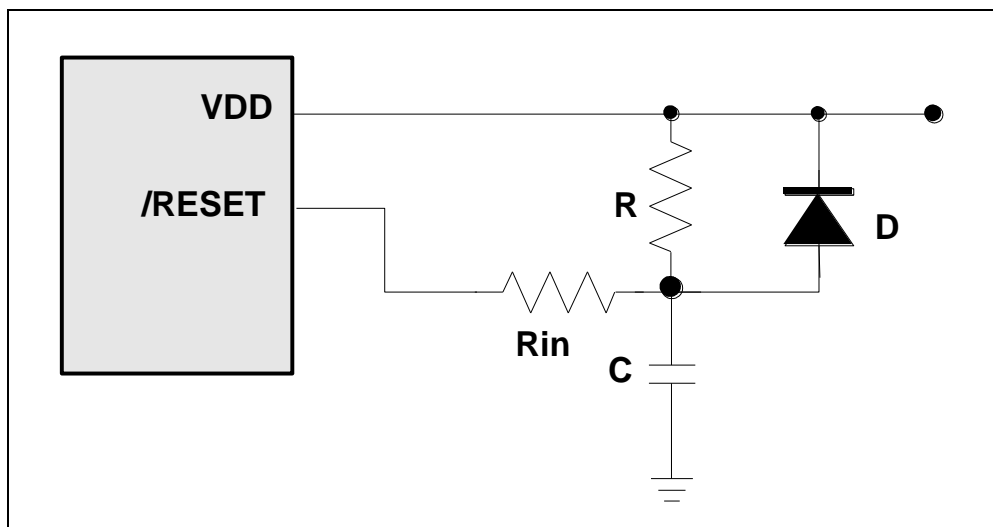


图6-12 外部上电复位电路

### 6.7.2 残留电压保护

当更换电池时，单片机的电源 VDD 断开，但仍然存在残留电压。残留电压可能小于最低工作电压，但不为 0。这种情况下可能导致复位不良。图 6-13 和图 6-14 为防止残留电压的保护电路。

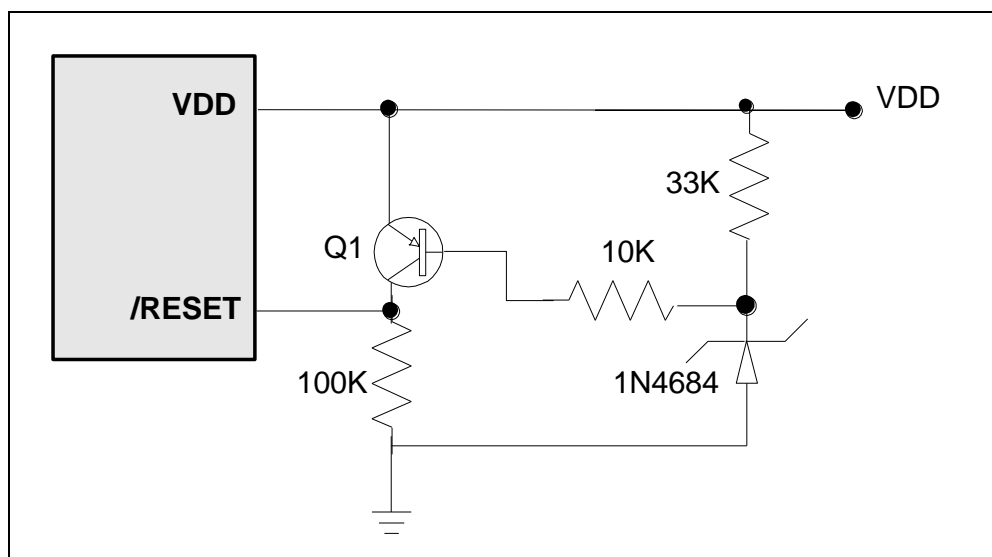


图6-13 残留电压保护电路 1

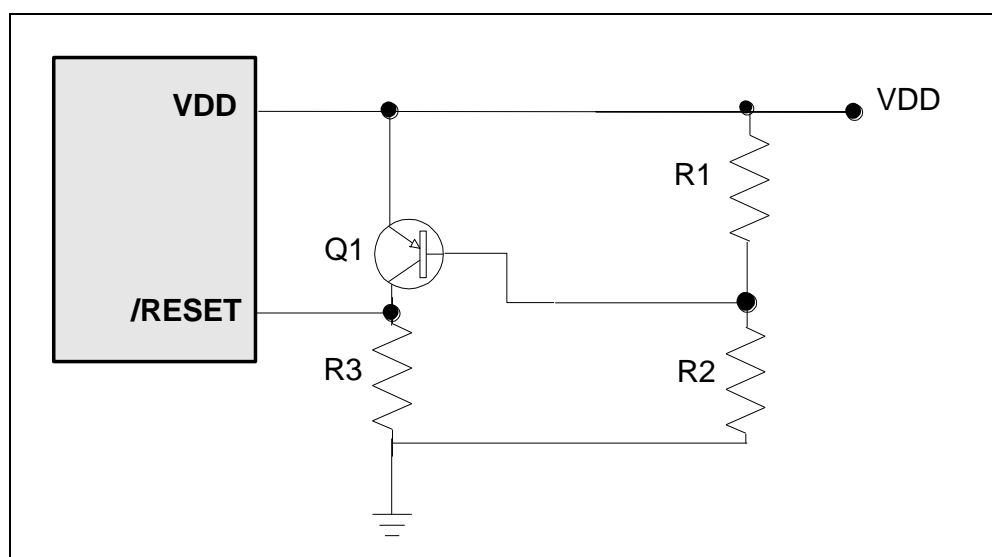


图6-14 残留电压保护电路2

## 6.8 中断

中断相关寄存器。

R_BANK	地址	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bank 0	0x0E	IMR	T1IE	LVDIE	ADIE	SPIIE	URTIE	EXIE9	EXIE8	TCIE
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Bank 0	0x0F	ISR	T1IF	LVDIF	ADIF	SPIIF	URTIF	EXIF9	EXIF8	TCIF
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Bank 1	0X0E	EIMR	EXIE7	EXIE6	EXIE5	EXIE4	EXIE3	EXIE2	EXIE1	EXIE0
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Bank 1	0X0F	EISR	EXIF7	EXIF6	EXIF5	EXIF4	EXIF3	EXIF2	EXIF1	EXIF0
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Bank 2	0X09	T2CR	T2IF	T2IE	T2S	T2MS1	T2MS0	T2P2	T2P1	T2P0
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

EM78P520N 有 10 个中断源如下所示:

- TCC 溢出中断
- 外部中断
- 秒表定时器中断
- 定时器 1 溢出中断
- 定时器 2 溢出中断
- A/D 转换完成中断
- UART 发送/接收/错误中断
- SPI 发送/接收中断
- 低电压检测中断

IC 有下降沿触发的内部中断，即：TCC 定时器溢出中断和 2 个 8 位上数计数/定时器溢出中断。如果这些中断源信号从高到低改变，则 RF 寄存器产生“1”标志到相应的寄存器（如果 RE 寄存器使能）。

RF 是用来记录中断请求标志的中断状态寄存器。RE 是中断屏蔽寄存器。“ENI”指令使能全局中断，“DISI”指令禁止全局中断。当一个中断发生（如果使能），它的下一条指令跳到相应的中断向量地址（0003H~001BH）运行。

在 EM78P520N 中每一个中断源都有自己的中断向量，如表 7 所示。

在中断服务程序执行之前，ACC、R3[4: 0]和 R5 寄存器由硬件保存（入栈），在中断服务程序完成后，ACC、R3[4: 0]和 R5 自动出栈。当程序在其中的一个中断服务程序运行时，则其他的中断服务程序将不会被执行，所以当其他中断发生时，硬件保存这个中断标志，当前中断服务程序处理完成后，下一个中断服务才执行。

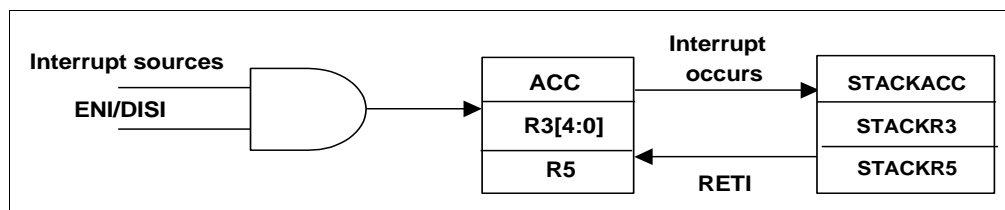


图6-15中断备份图

表 7 中断向量

中断向量	中断状态
0003H	TCC 溢出中断
0006H	外部中断
0009H	秒表定时器中断
000CH	定时器 1 溢出中断
000FH	定时器 2 溢出中断
0012H	A/D 转换完成中断
0015H	UART 发送/接收/错误中断
0018H	SPI 传送/接收完成中断
001BH	低电压检测中断



## 6.9 LCD 驱动

LCD 驱动器电路的寄存器

R_BANK	地址	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bank 1	0x05	LCDCR	LCDEN	LCDDTYPE	BS1	BS0	DS1	DS0	LCDF1	LCDF0
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Bank 1	0x06	LCDAR				LCD_A4	LCD_A3	LCD_A2	LCD_A1	LCD_A0
						R/W	R/W	R/W	R/W	R/W
Bank 1	0x07	LCDBR	LCD_D7	LCD_D6	LCD_D5	LCD_D4	LCD_D3	LCD_D2	LCD_D1	LCD_D0
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Bank 1	0x08	LCDVCR	0	0	0	LCDC1	LCDC0	LCDVC2	LCDVC1	LCDVC0
						R/W	R/W	R/W	R/W	R/W
Bank 1	0x09	LCDCCR	CON7	CON6	CON5	CON4	CON3	CON2	CON1	CON0
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Bank 1	0x0A~0x0C	LCDESCR0~2	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

EM78P520N 可以驱动最多 23 个 SEG 和 8 个 COM 的 LCD，总共能驱动 8×23 个点。LCD 模块由 LCD 驱动器、显示存储器 (RAM)、SEG 输出引脚、COM 输出引脚和 LCD 工作电源引脚构成。这个电路可以在正常模式、低速模式和空闲模式下工作。LCD 占空比、分压、SEG、COM 和帧频率由 LCD 控制寄存器决定。

基本结构包括一个使用主系统时钟或副系统时钟的时序控制器，以产生恰当的时序给不同的占空比和显示访问。R5 是 LCD 驱动命令寄存器，它包括：LCD 使能/禁止、分压 (1/2、1/3、1/4)、占空比 (静态、1/3、1/4、1/8) 和 LCD 帧频率。Bank1 R6 是 LCD RAM 地址控制寄存器。Bank1 R7 是 LCD RAM 数据缓存器。Bank1 R8 是 LCD 对比度控制和 LCD 时钟寄存器。这些控制寄存器说明如下。

### 6.9.1 R5 LCDCR (LCD控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LCDEN	LCDDTYPE	BS1	BS0	DS1	DS0	LCDF1	LCDF0

**Bit 7 (LCDEN):** LCD 使能选择位

- 0: 禁止 LCD 电路，所有的 SEG 和 COM 输出都为 VDD 电平。
- 1: 使能 LCD 电路

**Bit 6 (LCDDTYPE):** LCD 驱动波形类型选择位

- 0: A 类波形
- 1: B 类波形

**Bits 5~4 (BS1~BS0):** LCD 分压选择位

BS1	BS0	LCD 分压选择
0	0	1/2 分压
0	1	1/3 分压
1	×	1/4 分压

Bits 3~2 (DS1~DS0): LCD 占空比选择位

DS1	DS0	LCD 占空比
0	0	静态
0	1	1/3 占空比
1	0	1/4 占空比
1	1	1/8 占空比

Bits 1~0 (LCDF1~LCDF0): LCD 帧频率控制位

LCD 帧频率 (e.g. $F_s = 32.768K$ )					
LCDF1	LCDF0	静态	1/3 占空比	1/4 占空比	1/8 占空比
0	0	$F_s/(512 \times 1) = 64.0$	$F_s/(172 \times 3) = 63.5$	$F_s/(128 \times 4) = 64$	$F_s/(64 \times 8) = 64.0$
0	1	$F_s/(560 \times 1) = 58.5$	$F_s/(188 \times 3) = 58$	$F_s/(140 \times 4) = 58.5$	$F_s/(70 \times 8) = 58.5$
1	0	$F_s/(608 \times 1) = 53.9$	$F_s/(204 \times 3) = 53.5$	$F_s/(152 \times 4) = 53.9$	$F_s/(76 \times 8) = 53.9$
1	1	$F_s/(464 \times 1) = 70.6$	$F_s/(156 \times 3) = 70$	$F_s/(116 \times 4) = 70.6$	$F_s/(58 \times 8) = 70.6$

### 6.9.2 R6 LCDADDR (LCD地址寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	0	0	LCD_A4	LCD_A3	LCD_A2	LCD_A1	LCD_A0

Bits 7~5: 保留

Bits 4~0 (LCD\_A4~LCD\_A0): LCD RAM 地址

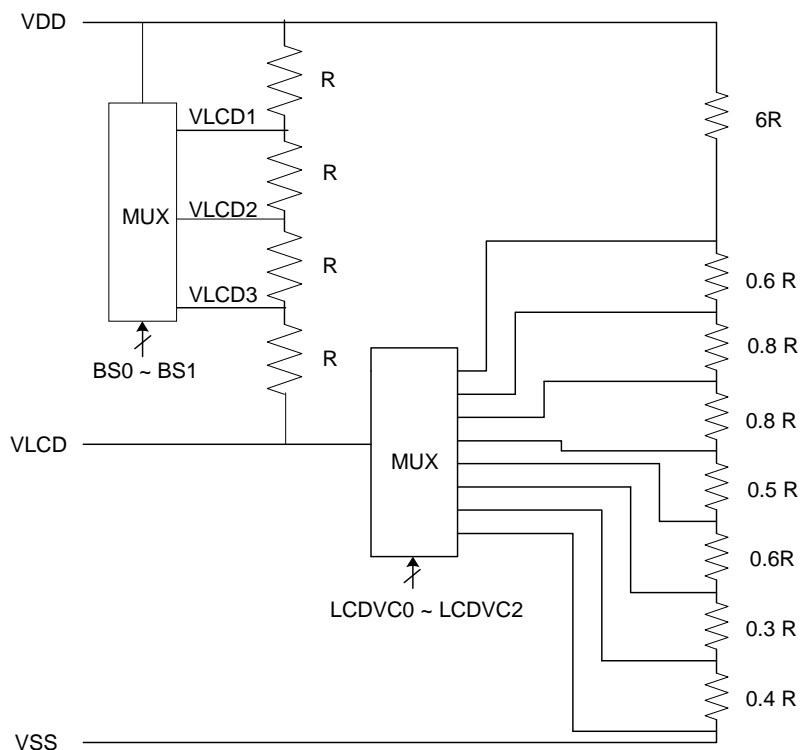
R6 (LCD 地址)	R7 (LCD 数据缓冲器)								SEG
	Bit 7 (LCD_D7)	Bit 6 (LCD_D6)	Bit 5 (LCD_D5)	Bit 4 (LCD_D4)	Bit 3 (LCD_D3)	Bit 2 (LCD_D2)	Bit 1 (LCD_D1)	Bit 0 (LCD_D0)	
00H									SEG0
01H									SEG1
02H									SEG2
14H									SEG20
15H									SEG21
16H									SEG22
COM	COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0	

### 6.9.3 R7 LCDBR (LCD 数据缓冲器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LCD_D 7	LCD_D 6	LCD_D 5	LCD_D 4	LCD_D 3	LCD_D 2	LCD_D 1	LCD_D 0

**Bits 7~0 (LCD\_D7~LCD\_D0):** LCD RAM 数据传送寄存器

\* 当显示 SEG 的值是“1”，LCD 显示就打开；显示 SEG 的值是“0”，LCD 显示就关闭。



### 6.9.4 R8 LCDVCR (LCD 电压控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	0	0	LCDC1	LCDC0	LCDVC2	LCDVC1	LCDVC0

**Bits 7~5:** 保留

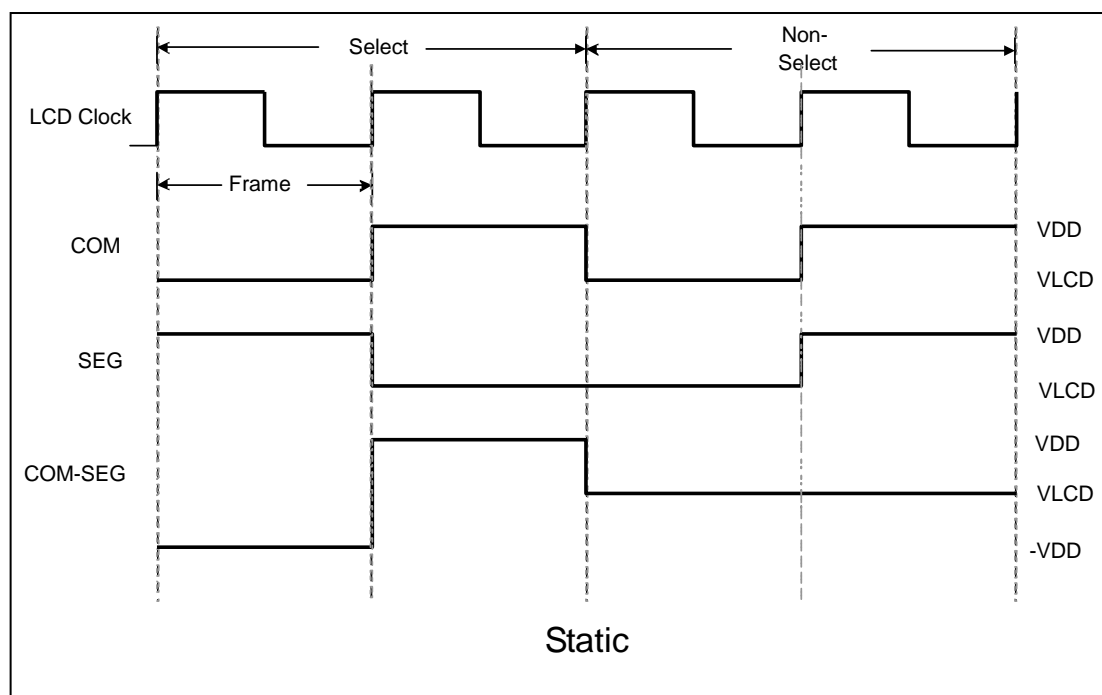
**Bits 4~3 (LCDC1~LCDC0):** LCD 时钟

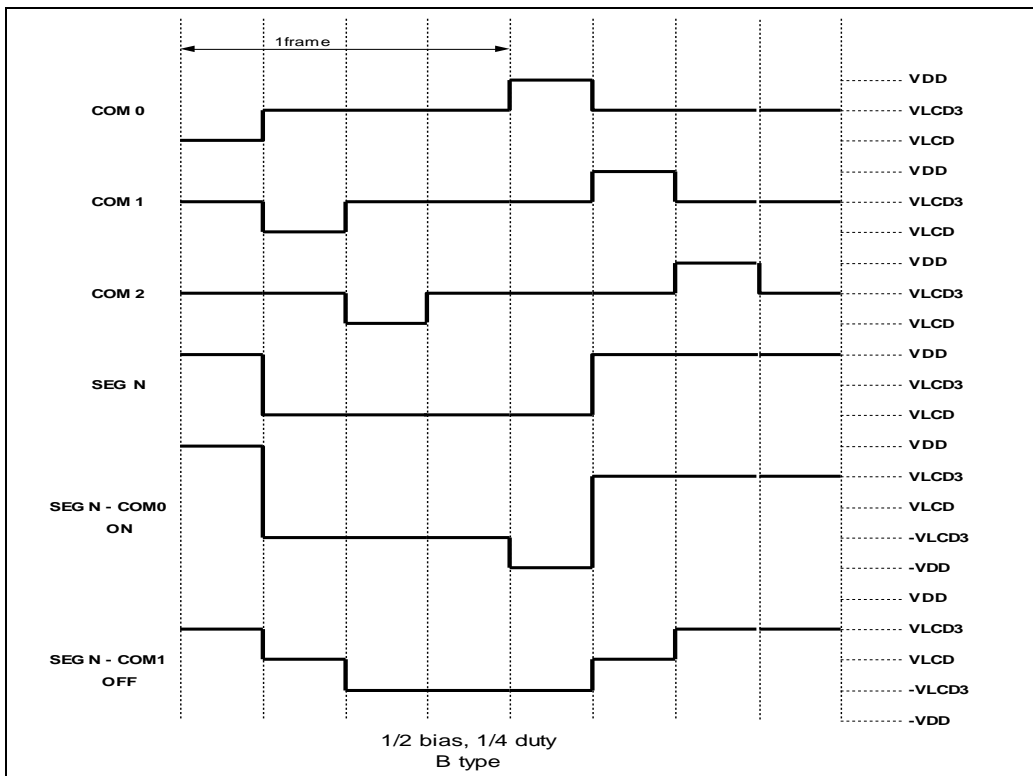
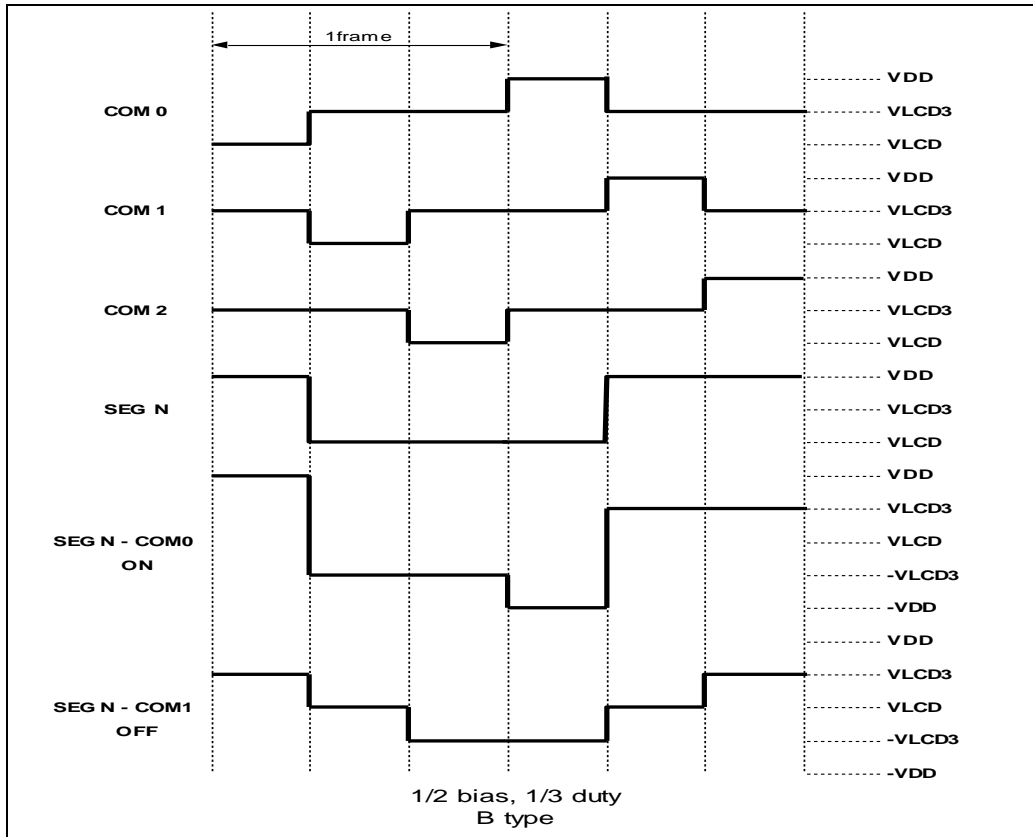
LCDC1	LCDC0	F <sub>m</sub>	F <sub>Lcd</sub>
0	0	16M	F <sub>c</sub> /2 <sup>9</sup>
0	1	8M	F <sub>c</sub> /2 <sup>8</sup>
1	0	4M	F <sub>c</sub> /2 <sup>7</sup>
1	1	2M	F <sub>c</sub> /2 <sup>6</sup>

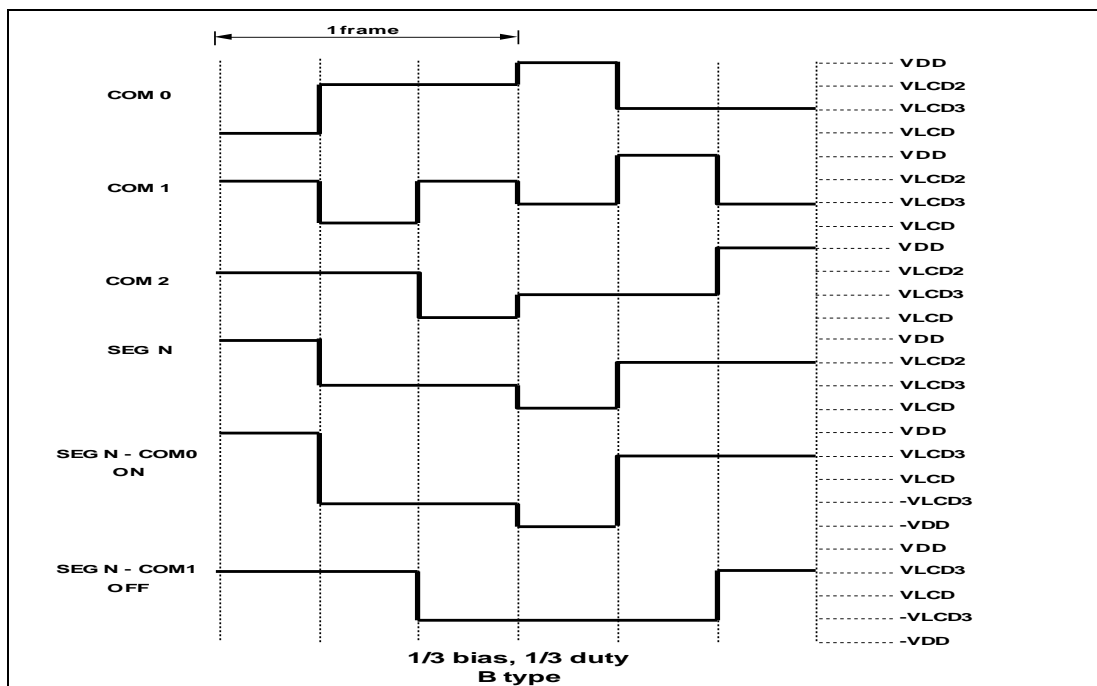
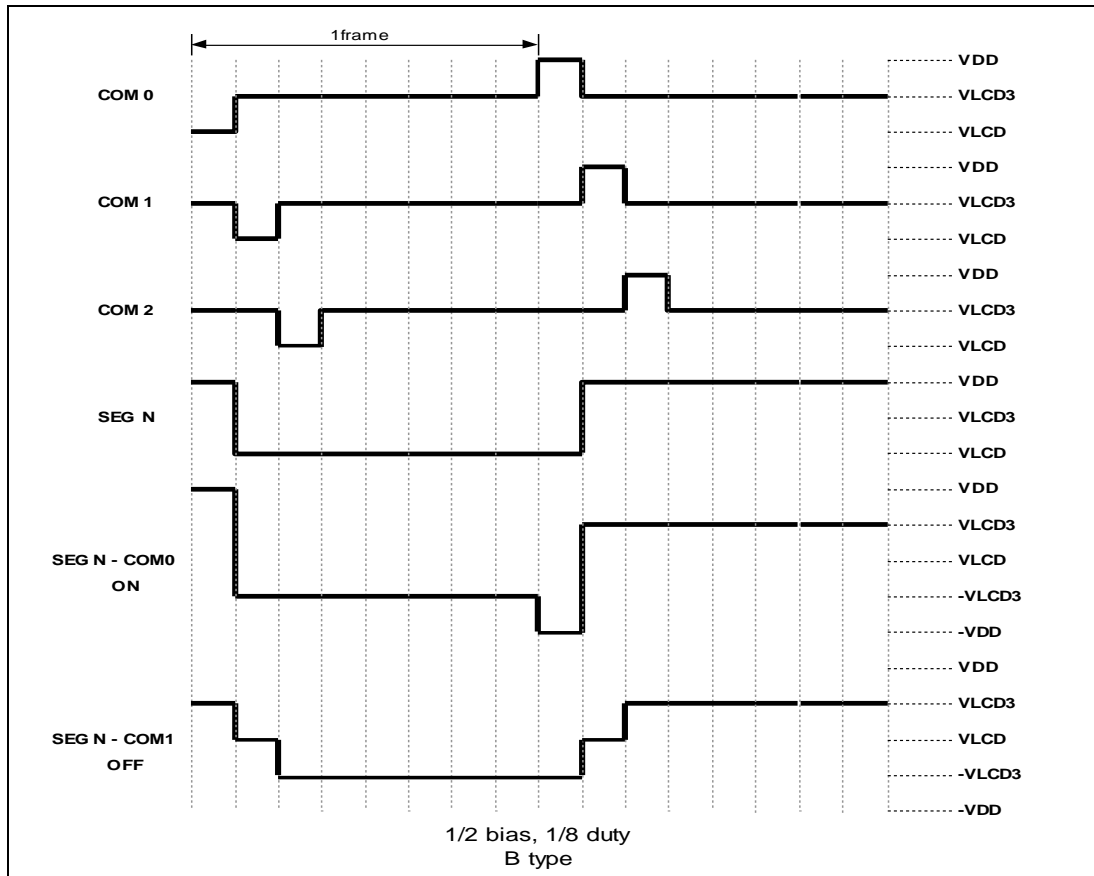
主振荡器工作在晶振模式而副振荡器不工作时，这两位必须设定用做 LCD 时钟。

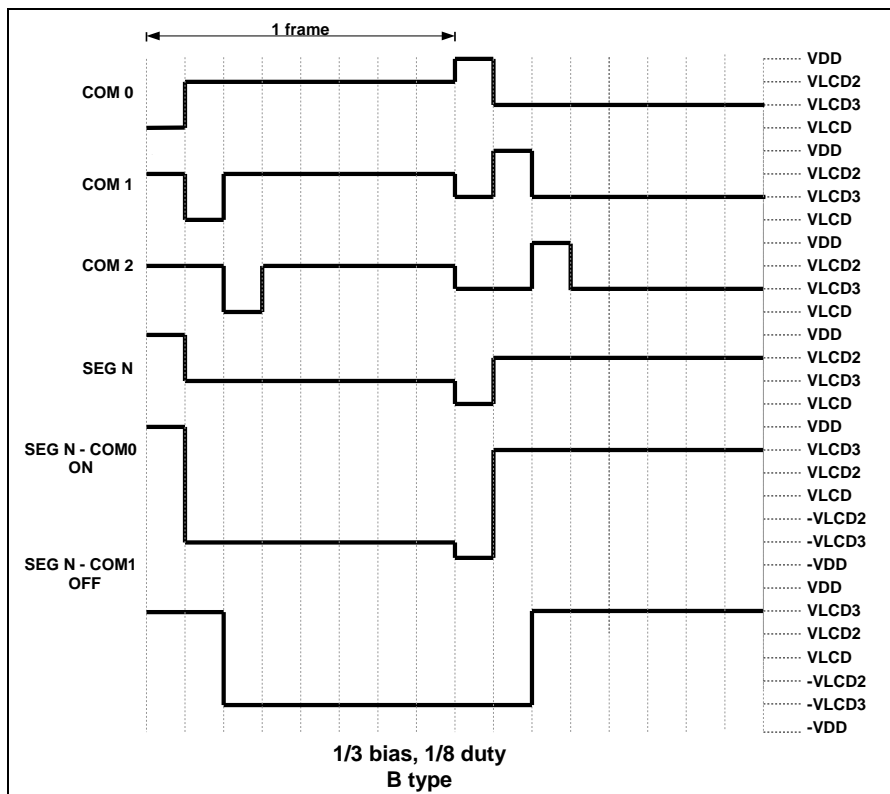
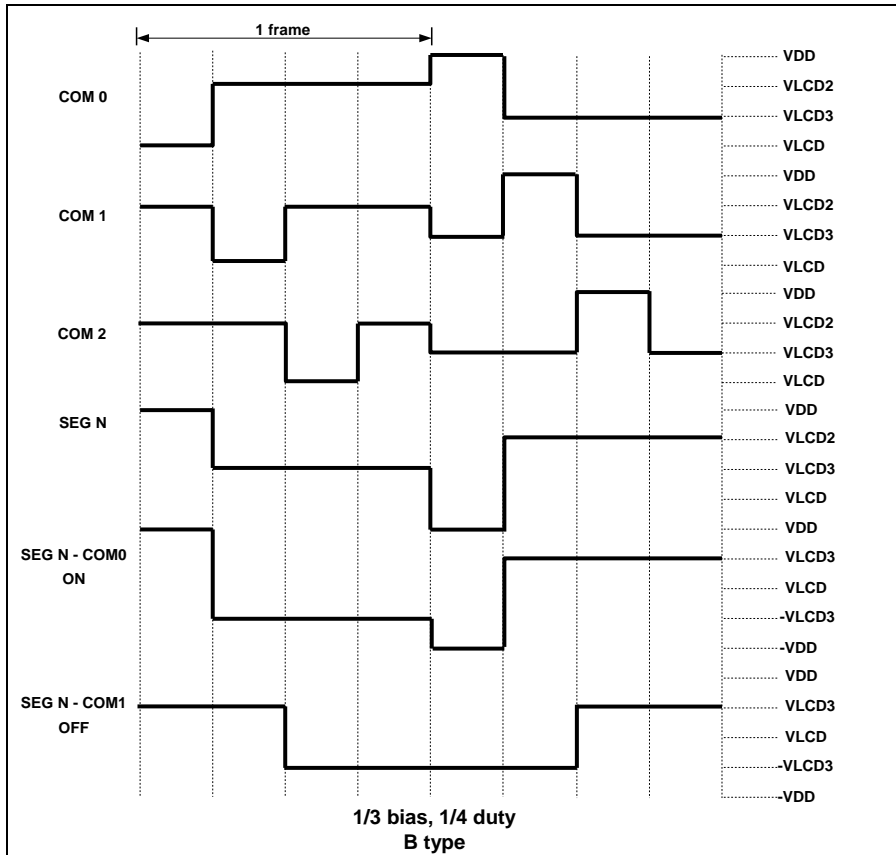
Bits 2~0 (LCDVC2~LCDVC0): LCD 电压控制位

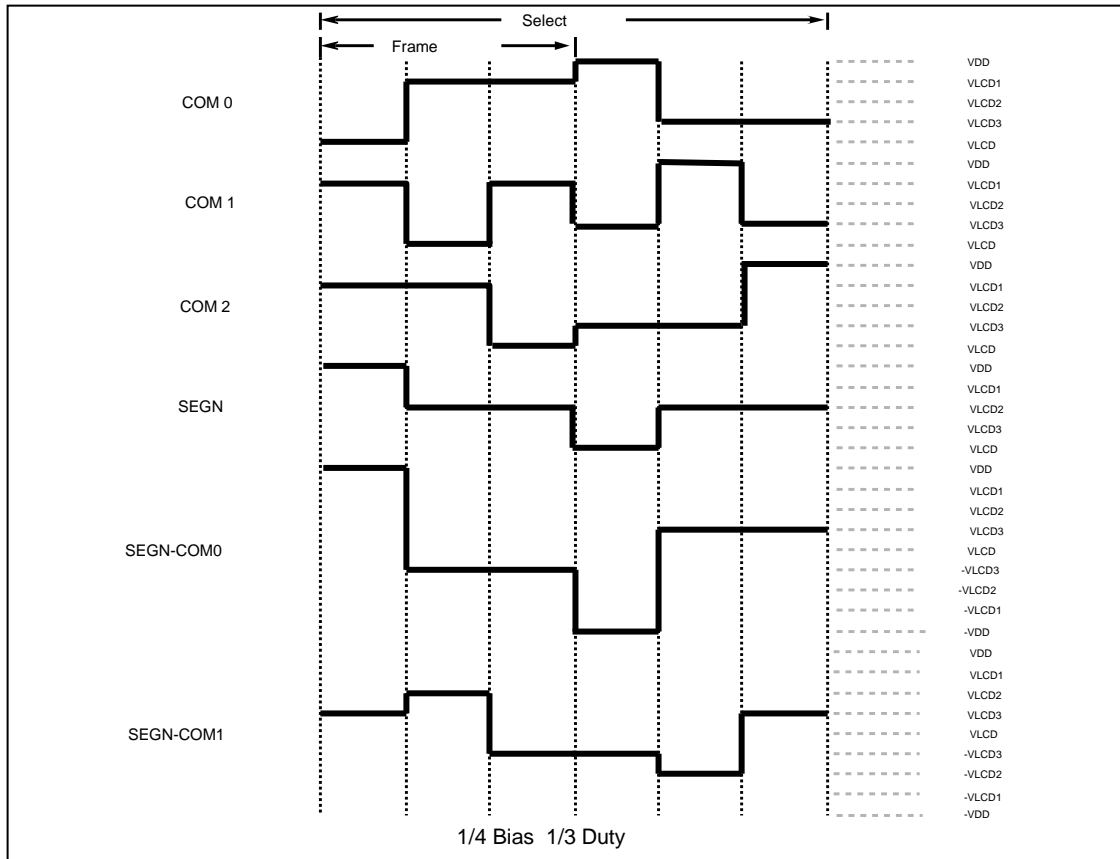
LCDVC2	LCDVC1	LCDVC0	输出
0	0	0	0.4VDD ~ VDD
0	0	1	0.34VDD ~ VDD
0	1	0	0.26VDD ~ VDD
0	1	1	0.18VDD ~ VDD
1	0	0	0.13VDD ~ VDD
1	0	1	0.07VDD ~ VDD
1	1	0	0.04VDD ~ VDD
1	1	1	0V ~ VDD



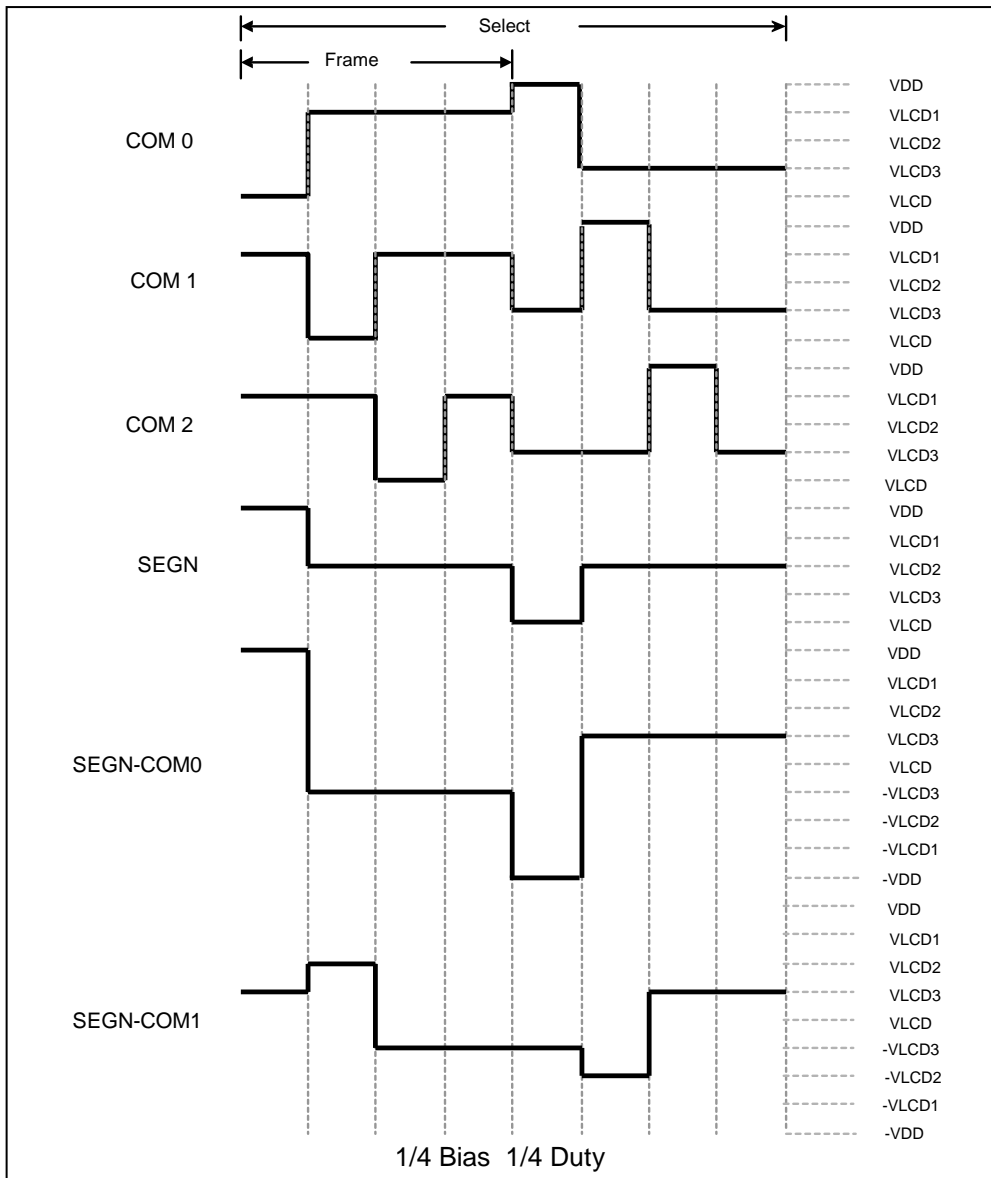


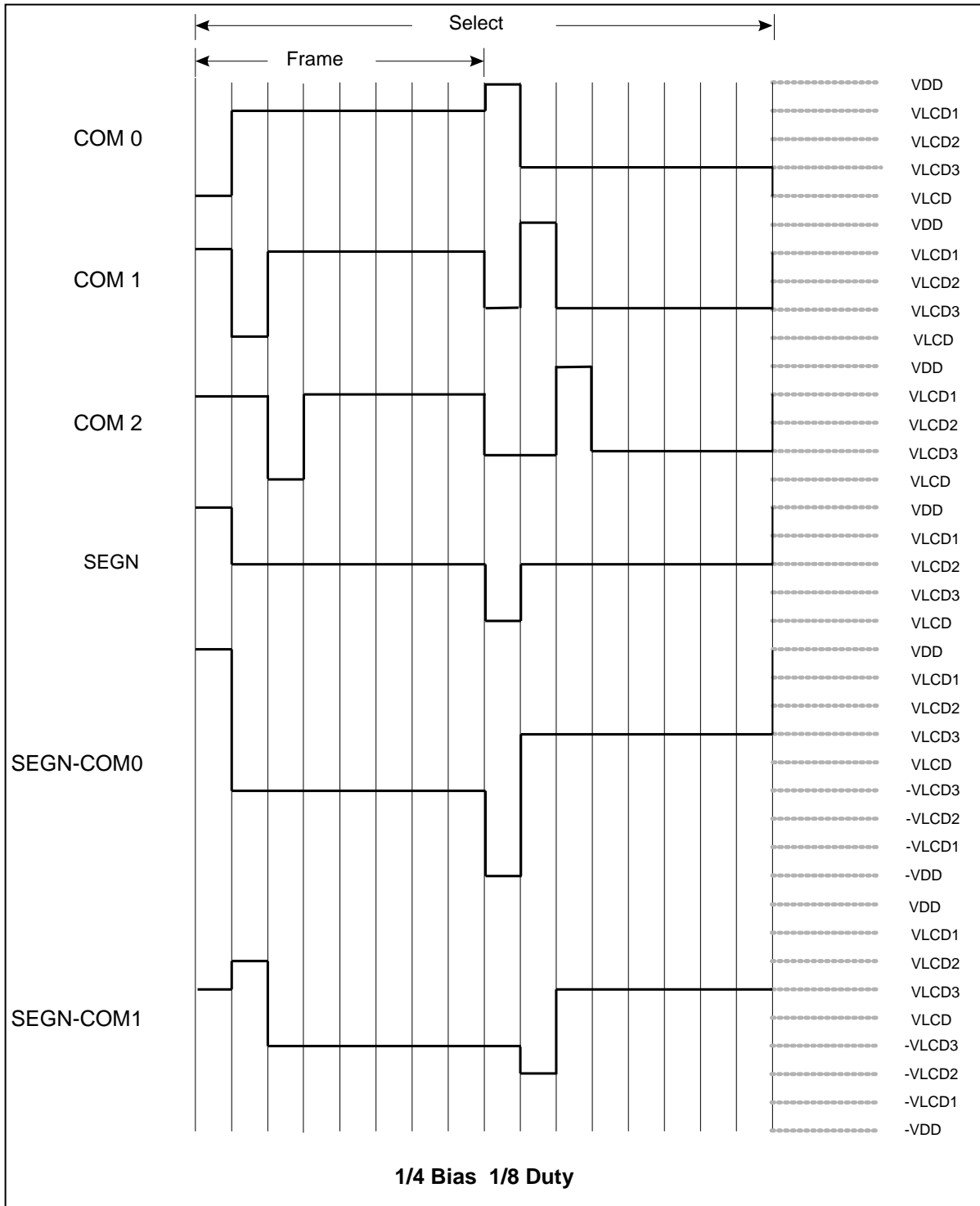












## 6.10 A/D转换器

AD转换器电路的寄存器

R_BANK	地址	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bank 3	0X09	ADCR	ADRUN	ADP	ADCK1	ADCK0	ADIS3	ADIS2	ADIS1	ADIS0
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Bank 3	0x0A	ADICH	CALI	ADREF			ADE11	ADE10	ADE9	ADE8
			R/W	R/W			R/W	R/W	R/W	R/W
Bank 3	0X0B	ADICL	ADE7	ADE6	ADE5	ADE4	ADE3	ADE2	ADE1	ADE0
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Bank 3	0X0C	ADDH	ADD11	ADD10	ADD9	ADD8	ADD7	ADD6	ADD5	ADD4
			R	R	R	R	R	R	R	R
Bank 3	0X0D	ADDL	SIGN	VOF[2]	VOF[1]	VOF[0]	ADD3	ADD2	ADD1	ADD0
			R/W	R/W	R/W	R/W	R	R	R	R
Bank 0	0x0F	EIESL				ADWK	INTWK	INTWK	EIES9	EIES8
						R/W	R/W	R/W	R/W	R/W
Bank 0	0x0E	IMR	T1IE	LVDIE	ADIE	SPIIE	URTIE	EXIE9	EXIE8	TCIE
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Bank 0	0x0F	ISR	T1IF	LVDIF	ADIF	SPIIF	URTIF	EXIF9	EXIF8	TCIF
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

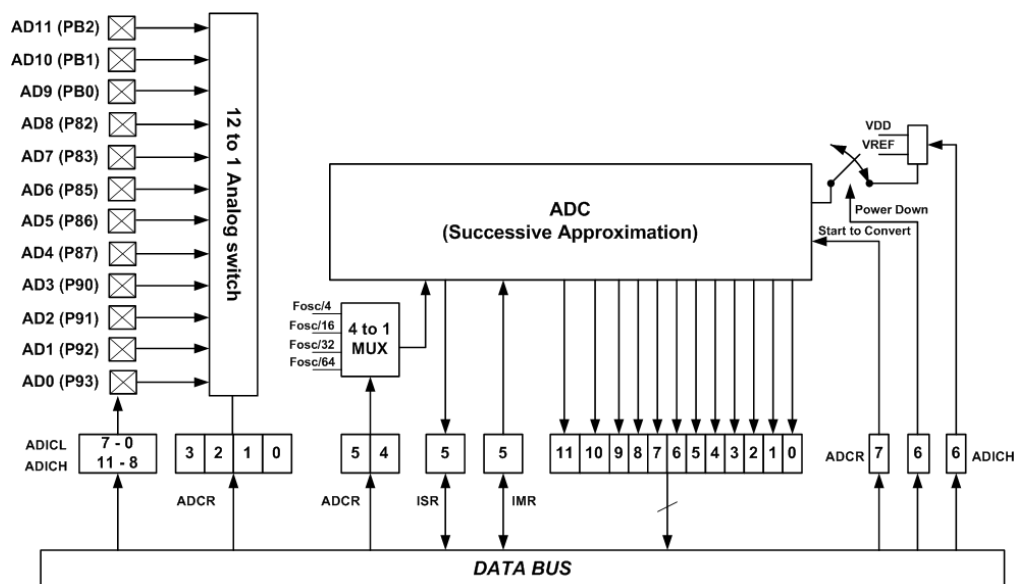


图6-16 AD转换器

这是一个 12 位逐次逼近型的 AD 转换器。模拟参考电压可以通过设置 ADICH 的 ADREF 位来选择内部 VDD 还是外部输入引脚 P84 (VREF)。连接到外部 Vref 的精确度高于内部 VDD。

### 6.10.1 ADC数据寄存器

当AD转换完成，结果存放到ADDH(8-bit)和ADDL(4-bit)。START/EDN位清0，ADIF置1。

### 6.10.2 A/D采样时间

逐次逼近型A/D转换器的精确度、线性和速度由ADC的特性决定，模拟阻抗和内部采样阻抗直接影响采样电路中保持电容的充电时间，应用程序要控制采样时间的长度以满足特定的精度。一般来说，模拟阻抗每1KΩ、程序要等待2μs，对于低阻抗源至少要等待2μs。VDD=5V时的模拟源的最大推荐阻抗是10KΩ。在模拟输入通道选定之后，在A/D转换之前采样时间必须得到满足。

### 6.10.3 A/D转换时间

ADCK0和ADCK1依照指令周期选项来选择转换时间(Tct)。在不影响A/D转换精度的条件下，尽量让MCU运行在最高频率。EM78P520N每一位的转换时间约为4μs。表8列出了Tct与最高工作频率的关系。

表 8

ADCK1:0	工作模式	最大工作频率(Fc)	每位最大转换率	最大转换率
0 0	Fc/4	1 MHz	250kHz (4μs)	60us(16.66kHz)
0 1	Fc/16	4 MHz	250kHz (4μs)	60us(16.66kHz)
1 0	Fc/32	8 MHz	250kHz (4μs)	60us(16.66kHz)
1 1	Fc/64	16 MHz	250kHz (4μs)	60us(16.66kHz)

## 6.11 UART (通用异步串行接收/发送器)

UART 电路的寄存器

R_BANK	地址	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bank 3	0X05	URC	URTD8	UMODE1	UMODE0	BRATE2	BRATE1	BRATE0	UTBE	TXE
			W	R/W	R/W	R/W	R/W	R/W	R	R/W
Bank 3	0X06	URS	URRD8	EVEN	PRE	PRERR	OVERR	FMERR	URBF	RXE
			R	R/W	R/W	R	R	R	R	R/W
Bank 3	0X07	URRD	URRD7	URRD6	URRD5	URRD4	URRD3	URRD2	URRD1	URRD0
			R	R	R	R	R	R	R	R
Bank 3	0X08	URTD	URTD 7	URTD 6	URTD 5	URTD 4	URTD 3	URTD 2	URTD 1	URTD0
			W	W	W	W	W	W	W	W
Bank 5	0x06	UARC2			UARTE		UINVEN			
					R/W		R/W			
Bank 0	0x0E	IMR	T1IE	LVDIE	ADIE	SPIIE	URTIE	EXIE9	EXIE8	TCIE
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Bank 0	0x0F	ISR	T1IF	LVDIF	ADIF	SPIIF	URTIF	EXIF9	EXIF8	TCIF
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

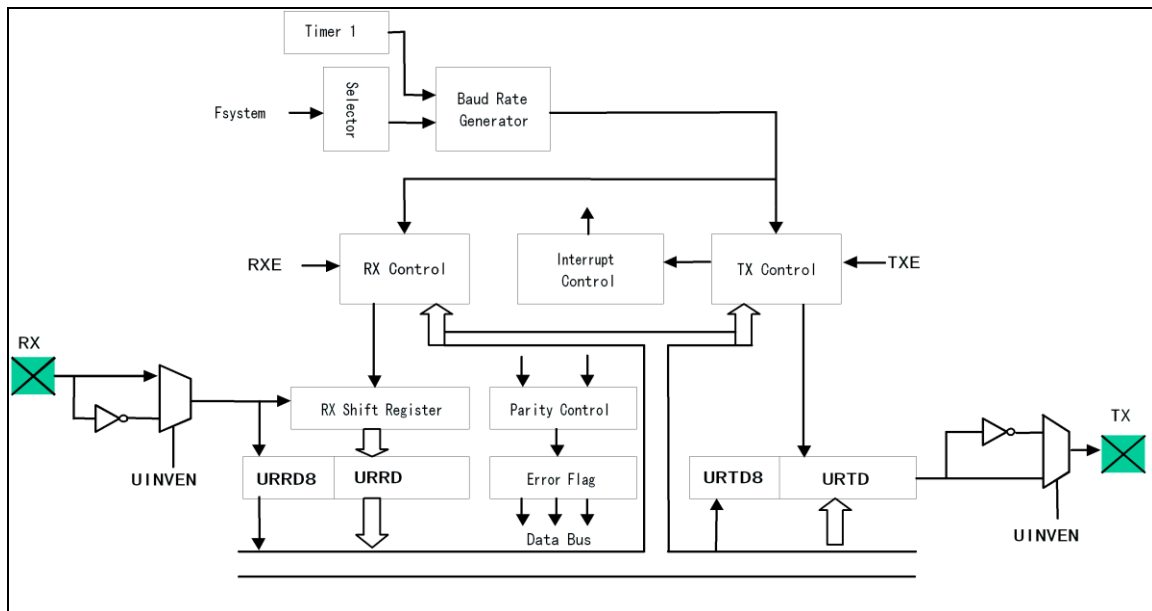


图6-17 功能方框图

在通用异步收发器(UART)模式下, 每一个字符的发送或接收由帧的起始位和停止位来同步。

因为 UART 有独立的发送和接收通路, 所以可以实现全双工数据传输。这两个通路的缓冲器可以通过编程来允许 UART 连续传输数据。

下图展示了发送或接收一个字符的通用格式。通常情况下，通讯通道保持一个标记状态（高电平），字符传送和接收开始于一个间隔状态的转变（低电平）。

传送或接收的第一位是起始位（低电平），接着就是数据位，最低位（LSB）在前，数据位后面的就是奇偶校验位。如果出现停止位或多位（高电平）就可以确定一帧的结束。

在接收中，UART 在起始位的下降沿开始同步，在 3 个采样的期间检测到 2 个或 3 个“0”后，认为是普通的起始位且接收的操作开始。

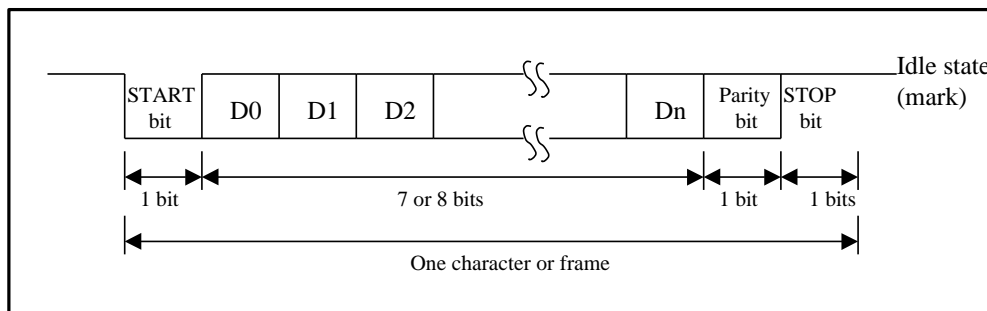


图6-18 UART的数据格式

### 6.11.1 UART模式

UART 有 3 种模式：模式 1（7 位数据）、模式 2（8 位数据）允许增加一个奇偶校验位、模式 3 没有奇偶校验位。图 6-19 展示了各个模式的数据模式。

		UMODE	PRE	1	2	3	4	5	6	7	8	9	10	11			
Mode 1	{	0	0	0	START							7 bits DATA			STOP		
		0	0	1	START							7 bits DATA			Parity	STOP	
Mode 2	{	0	1	0	START							8 bits DATA				STOP	
		0	1	1	START							8 bits DATA				Parity	STOP
Mode 3		1	0	X	START							9 bits DATA					STOP

图6-19 UART 模式

### 6.11.2 发送

在发送串行数据时，UART 操作如下：

1. 置 URC 寄存器的 TXE 位以使能 UART 的传输功能。
2. 写数据到 URTD 寄存器，URC 寄存器的 UTBE 位由硬件置位。
3. 开始发送数据。
4. 串行发送的数据通过 TX 引脚按以下步骤传输。
5. 开始位：输出一个“0”。
6. 发送数据：7、8 或 9 位的数据从 LSB 到 MSB 输出。
7. 奇偶校验位：一个奇偶校验位的输出（奇或偶可选择的）。
8. 停止位：输出一个“1”。

标记状态：持续的输出“1”直到下一个传输数据的起始位到来。

传输完停止位之后，UART 产生 TBEF 中断（如果使能）。

### 6.11.3 接收

在接收数据时，UART 操作如下：

1. 置 URS 寄存器的 RXE 位以使能 UART 接收功能。当检测到起始信号后，UART 监视 RX 引脚且内部同步。
2. 接收到的数据按照从 LSB 到 MSB 的顺序移到 URRD 寄存器。
3. 奇偶校验位和停止位的接收。一个字符接收之后，URS 寄存器的 URBF 位被置“1”。
4. UART 做如下检测：

- (a) 奇偶校验：接收数据的1的个数必须与URS寄存器的EVEN位设定的偶或奇校验匹配。
- (b) 帧校验：开始位必须为0且停止位必须为1。
- (c) 溢出校验：溢出校验：在下一个接收的数据载入URRD寄存器之前，URS寄存器的URBF位必须清零（就是说URRD寄存器的值被读出）。

如果任一校验失败，就产生URTIF中断（如果使能），PRERR、OVERR和RMERR位表示了相应的错误标志，这些错误标志必须用软件清零，否则接收下一个字节时又会产生中断。

5. 从 URRD 寄存器读出接收到的数据，URBF 位由硬件清零。

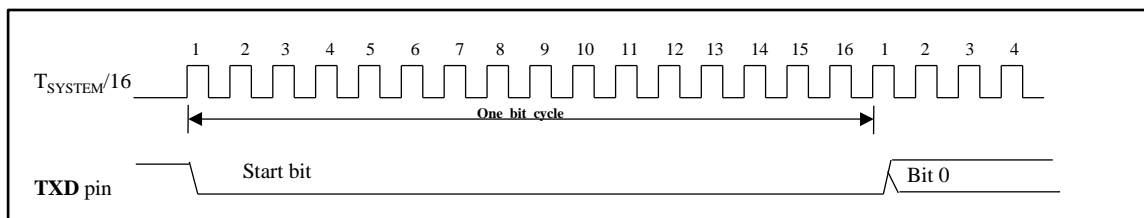
### 6.11.4 波特率发生器

波特率发生器是由时钟脉冲产生电路和接收传输速率的电路组成。

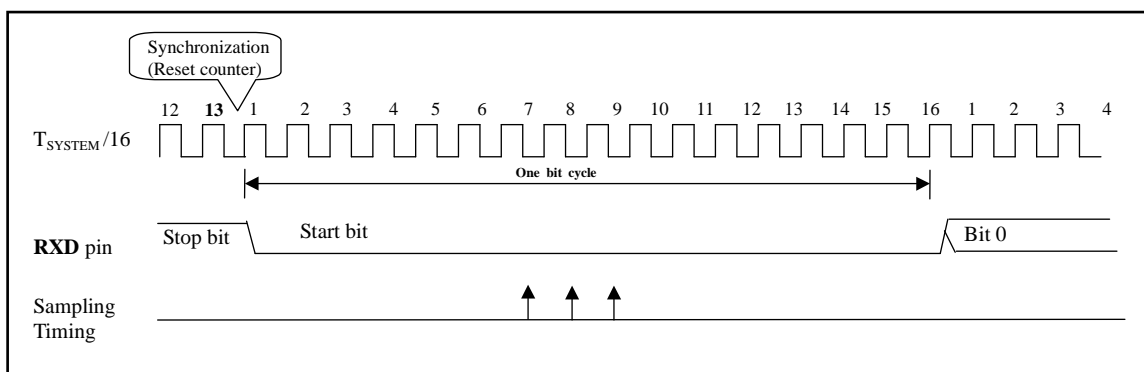
URC 寄存器的 BRATE2~BRATE0 位确定所需的波特率。

### 6.11.5 UART时序

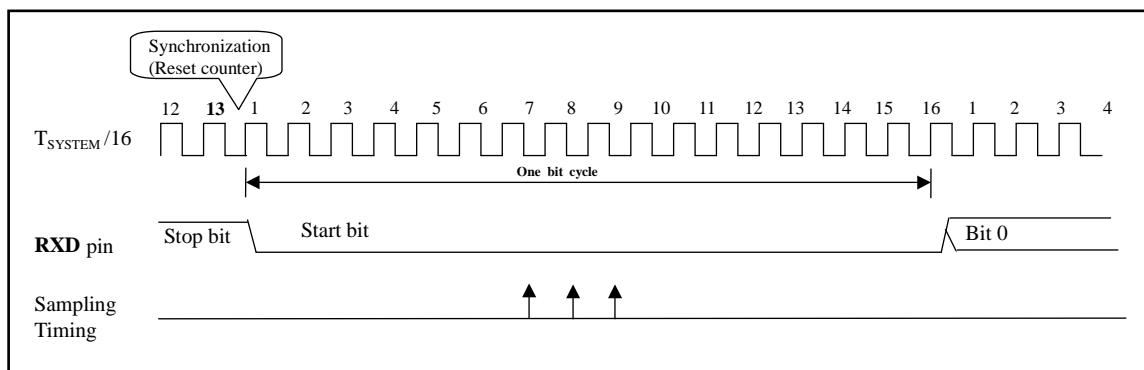
1. 发送计数器时序:



2. 接收计数器时序:



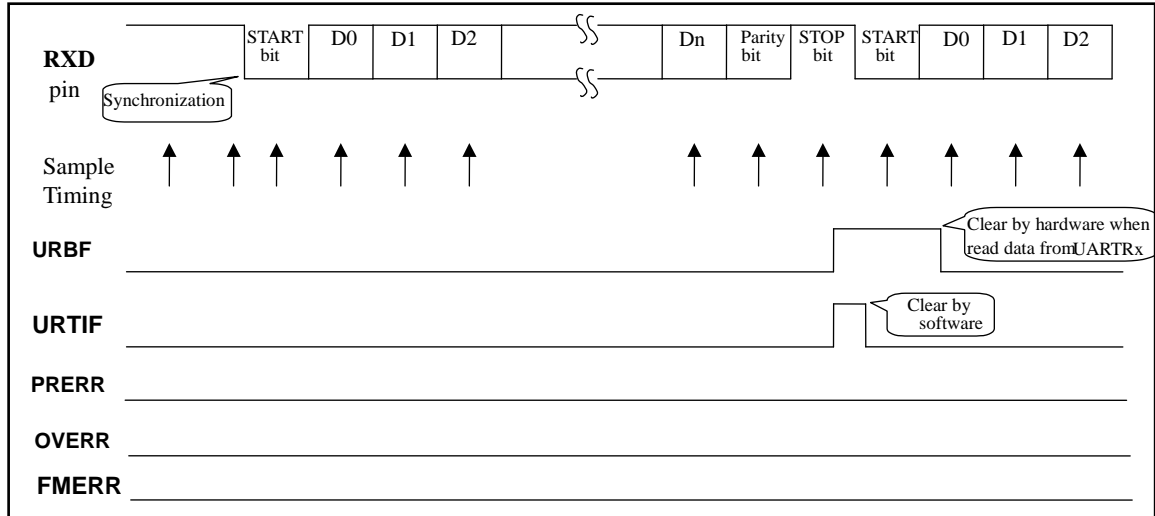
3. UART 传输操作(8 位数据带奇偶校验位):





4. UART 接收操作 (8 位数据带奇偶校验位和停止位):

\*



## 6.12 SPI (串行外设接口)

### 6.12.1 综述和特性

综述:

图 6-20 和 6-21 展示了 EM78P520N 如何通过 SPI 模块与其它器件通讯。如果 EM78P520N 是主控器件,它通过 SCK 引脚发送时钟信号,一组 8 位数据同时发送和接收。如果 EM78P520N 被定义为从器件,它的 SCK 引脚被设为输入引脚。数据基于时钟速率和选择的边沿不断的移位。也可以设 SPIS 位 7 (DORD) 来决定 SPI 传输的顺序,SPIC 位 3 (SDOC) 控制 SO 引脚在串行数据输出后的状态,SPIS 位 6 (TD1)、位 5 (TD0) 决定 SO 状态输出的延时时间。

特性:

- 可以工作在主模式或从模式
- 全双工、三线同步通讯
- 可编程的通讯波特率
- 可编程的时钟极性 (RD 的位 7)
- 能读取缓冲器满中断标志
- 满足 SPI 传输规则
- 串行数据输出后 SDO 状态可选
- SDO 状态输出延时
- 达到 8MHz (最大) 位频率

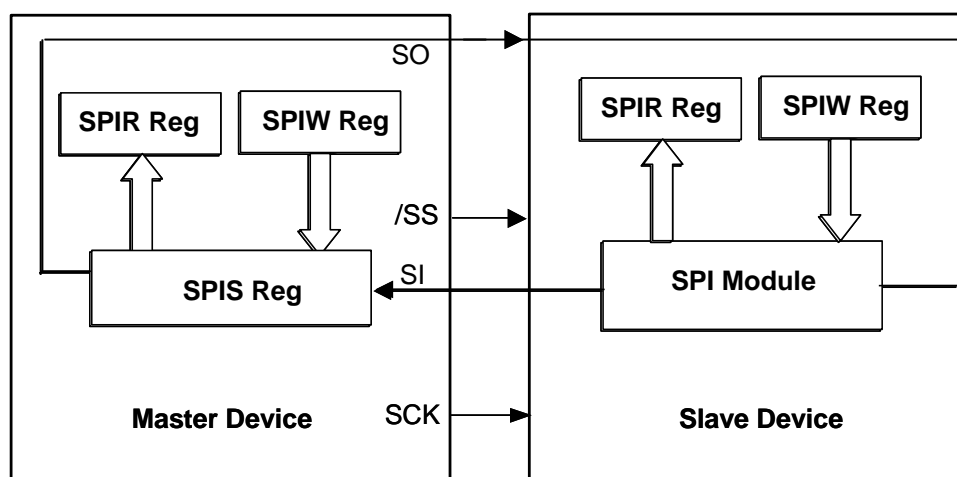


图6-20 SPI主/从模式通讯

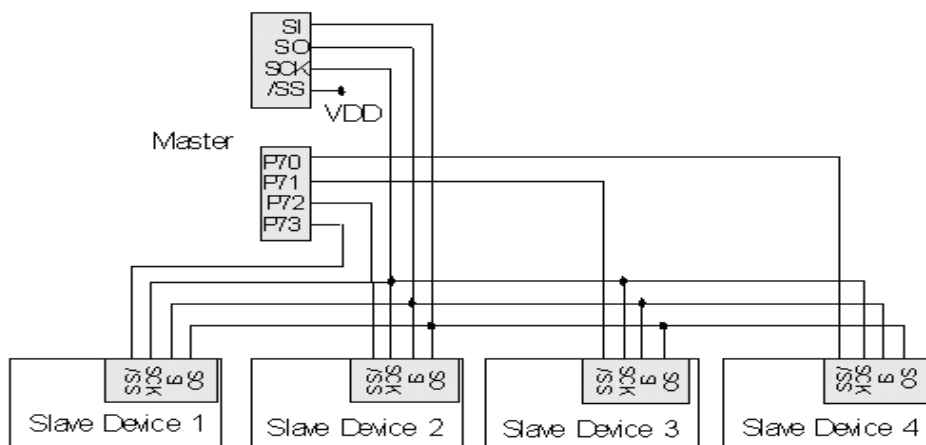


图6-21 SPI单主器件与多从器件配置

### 6.12.2 SPI功能描述

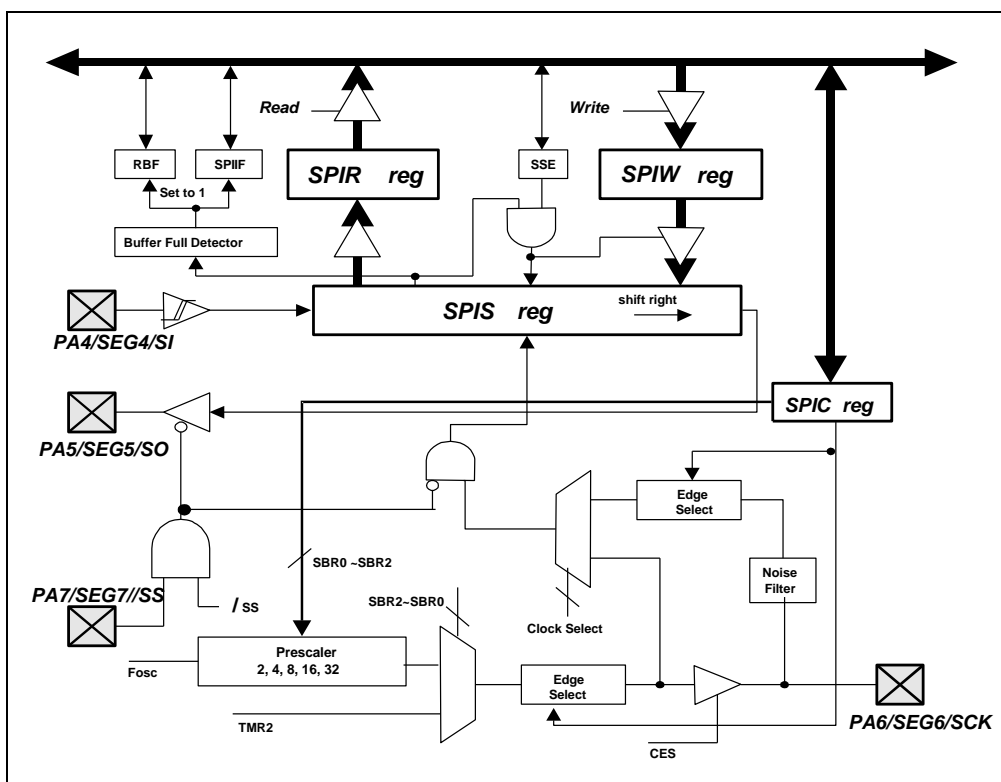


图6-22 SPI功能结构图

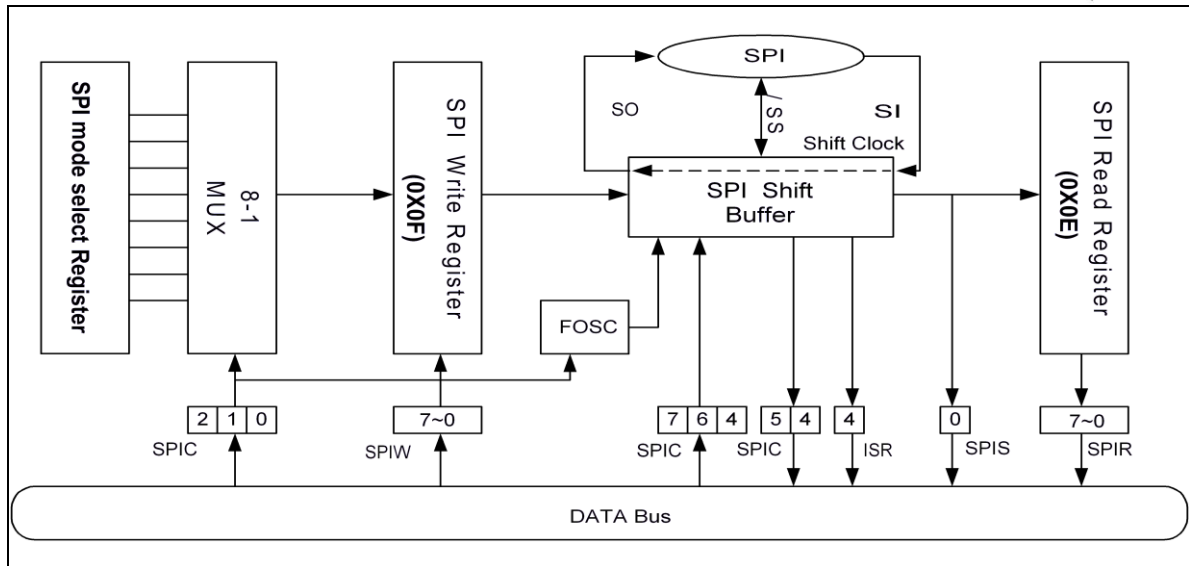


图6-23 SPI传输的功能结构图

下面是每个模块的功能和 SPI 通讯是如何实现的说明，如图 6-22 和图 6-23 的描述。

- PA4/SEG4/SI: 串行数据输入
- PA5/SEG5/SO: 串行数据输出
- PA6/SEG6/SCK: 串行时钟
- PA7/SEG7//SS: 从器件选择 (可选项)。在从模式中必须选择该引脚 (/SS)
- RBF: 检测到缓存器满置 1
- 缓存器满检测: 当 8 位数据移位完成后置 1
- SSE: 装载数据到 SPIS 寄存器, 且开始移位
- SPIS 寄存器: 字节移入移出。MSB 首先移位, SPIR 和 SPIW 寄存器是同时移位的。一旦数据被写, SPIS 开始发送/接收。当 8 位数据移位完成, 接收到的数据就移到 SPIR 寄存器。RBF(读缓冲器满)标志和 SPIIF(SPI 中断)标志都置位。
- SPIR 寄存器: 读缓冲器。当 8 位数据移位完成, 这个缓冲器将会更新。在下一个接收完成之前数据必须被读取。当 SPIR 寄存器被读 RBF 标志位就被清零。
- SPIW 寄存器: 写缓冲器。该缓冲器拒绝任何写操作直到 8 位数据移位完成。
- 如果通讯一直在进行, SSE 将保持为“1”, 在移位完成时这个标志必须清零。用户可以决定是否继续写数据。
- SBRS2~SBRS0: 设定时钟频率/比率和时钟源。
- 时钟选择: 选择内部或外部时钟作为移位时钟。
- 边沿选择: 通过设定 CES 位来选择适当的时钟边沿。

### 6.12.3 SPI 信号和引进描述

SI、SO、SCK和/SS这四个引脚的详细功能如下:

#### PA4/SEG4/SI:

- 串行数据输入
- 顺序接收, 高位(MSB)在前, 低位(LSB)在后
- 如果不选择, 定义为高阻抗
- 主控制器和从器件要设定相同的时钟速率和时钟沿
- 接收字节更新发送字节
- 当 SPI 操作完成, RBF 位(定位在寄存器 0x0C)将被置位
- 时序如图 6-23 和 6-24 所示

#### PA5/SEG5/SO:

- 串行数据输出
- 顺序接收, 高位(MSB)在前, 低位(LSB)在后
- 主控制器和从器件要设定相同的时钟速率和时钟沿
- 接收字节更新发送字节
- 当 SPI 操作完成, CES(定位在寄存器 0x0C)将被置位
- 时序如图 6-23 和 6-24 所示

#### PA6/SEG6/SCK:

- 串行时钟
- 由主控制器产生
- 同步 SI 和 SO 引脚上的数据通讯
- CES(定位在寄存器 0x0D)用于选择通讯边沿
- SBR0~SBR2(定位在寄存器 0x0D)用于决定通讯波特率
- 在从模式, CES、SBR0、SBR1 和 SBR2 位不起作用
- 时序如图 6-23 和 6-24 所示

#### PA7/SEG7/SS:

- 从模式选择, 接到低电平
- 由主控制器产生, 表示从器件接收数据
- 在第一个 SCK 周期出现之前为低电平, 一直保持低直到最后一个(第 8 个)周期完成

- 当/SS 为高将忽略 SI 和 SO 引脚上的数据，因为 SO 不再驱动
- 时序如图 6-23 和 6-24 所示

注:

1. PA4/SEG4/SI引脚的优先级

PA4/SEG4/SI引脚的优先级		
高	中	低
SI	SEG4	PA4

2. PA5/SEG5/SO引脚的优先级

PA5/SEG5/SO引脚的优先级		
高	中	低
SO	SEG5	PA5

3. PA6/SEG6/SCK引脚的优先级

PA6/SEG6/SCK引脚的优先级		
高	中	低
SCK	SEG6	PA6

4. PA7/SEG7//SS引脚的优先级

PA7/SEG7//SS引脚的优先级		
高	中	低
/SS	SEG7	PA7

### 6.12.4 编程相关的寄存器

SPI 功能寄存器

R_BANK	地址	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bank 2	0X0C	SPIS	DORD	TD1	TD0	-	OD3	OD4	-	RBF
			R/W	R/W	R/W	-	R/W	R/W	-	R
Bank 2	0X0D	SPIC	CES	SPIE	SRO	SSE	SDOC	SBRS2	SBRS1	SBRS0
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Bank 2	0X0E	SPIR	SRB7	SRB6	SRB5	SRB4	SRB3	SRB2	SRB1	SRB0
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Bank 2	0X0F	SPIW	SWB7	SWB6	SWB5	SWB4	SWB3	SWB2	SWB1	SWB0
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Bank 0	0X0E	IMR	T1IE	LVDIE	ADIE	SPIE	URTIE	EXIE9	EXIE8	TCIE
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Bank 0	0X0F	ISR	T1IF	LVDIF	ADIF	SPIF	URTIF	EXIF9	EXIF8	TCIF
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

当 SPI 模块被定义，这些操作的相关寄存器都被显示。

**SPI 模式的相关控制寄存器**

地址	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bank 2 0x0D	SPIC	CES	SPIE	SRO	SSE	SDOC	SBR2	SBR1	SBR0
Bank 0 0x0E	IMR	T1IE	LVDIE	ADIE	SPIE	URTIE	EXIE9	EXIE8	TCIE

**SPIC:** SPI 控制寄存器

**Bit 7 (CES):** 时钟沿选择位

**0:** 数据在上升沿移出，下降沿移入。数据保持在低电平

**1:** 数据在下降沿移出，上升沿移入。数据保持在高电平

**Bit 6 (SPIE):** SPI 使能位

**0:** 禁止 SPI 模块

**1:** 使能 SPI 模块

**Bit 5 (SRO):** SPI 读溢出位

**0:** 没有溢出

**1:** 当之前的数据还留在 SPIRB 寄存器，又接收到新的数据，在这种情况下，之前在 SPIS 寄存器的数据被破坏。为了避免这种情况发生，用户要在传输完成后立即读 SPIRB 寄存器。这种情况只在从模式发生。

**Bit 4 (SSE):** SPI 移位使能位

**0:** 移位一完成就复位，下一个字节即将移位

**1:** 开始移位，当前字节在传输数据时仍然保持为“1”

**Bit 3 (SDOC):** SDO 输出状态控制位

**0:** 串行数据输出后，SDO 保持高

**1:** 串行数据输出后，SDO 保持低

**Bits 2~0 (SBR2~SBR0):** SPI 波特率选择位

SBR2	SBR1	SBR0	模式	SPI 波特率
0	0	0	主控	Fosc/2
0	0	1	主控	Fosc/4
0	1	0	主控	Fosc/8
0	1	1	主控	Fosc/16
1	0	0	主控	Fosc/32
1	0	1	主控	定时器 2
1	1	0	从控	/SS 使能
1	1	1	从控	/SS 禁止

**IMR:** 中断屏蔽寄存器

**Bit 4 (SPIIE):** 中断使能位

0: 禁止 SPIIF 中断

1: 使能 SPIIF 中断

SPI 模块的相关状态/数据寄存器

地址	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0X0C	SPIS	DORD	TD1	TD0	-	OD3	OD4	-	RBF
0x0E	SPIR	SRB7	SRB6	SRB5	SRB4	SRB3	SRB2	SRB1	SRB0
0x0F	SPIW	SWB7	SWB6	SWB5	SWB4	SWB3	SWB2	SWB1	SWB0

**SPIS:** SPI 状态寄存器

**Bit 7 (DORD):** 数据移位控制位

0: 左移 (MSB 先)

1: 右移 (LSB 先)

**Bits 6~5 (TD1~TD0):** SDO 状态输出延时选项

TD1	TD0	延时时间
0	0	8 个时钟
0	1	16 个时钟
1	0	24 个时钟
1	1	32 个时钟

**Bit 4:** 保留

**Bit 3 (OD3):** 漏极开路控制位

0: 禁止 SDO 的漏极开路

1: 使能 SDO 的漏极开路

**Bit 2 (OD4):** 漏极开路控制位

0: 禁止 SCK 的漏极开路

1: 使能 SCK 的漏极开路

**Bit 1:** 保留

**Bit 0 (RBF):** 读缓冲器满标志

0: 没有接收完成, SPIRB 没有完全交换

1: 接收完成, SPIRB 完全交换

**SPIRB:** SPI 读缓冲器。一旦串行数据接收完成, SPIS 寄存器就会装载到 SPIRB 中。SPIS 寄存器中的 RBF 位就置位。

**SPIWB:** SPI 写缓冲器。当一个发送数据被装载, SPIS 寄存器就准备, 当 SSE 置“1”且检测到 SCK 边沿, 就开始移位数据。



### 6.12.5 SPI 模式时序

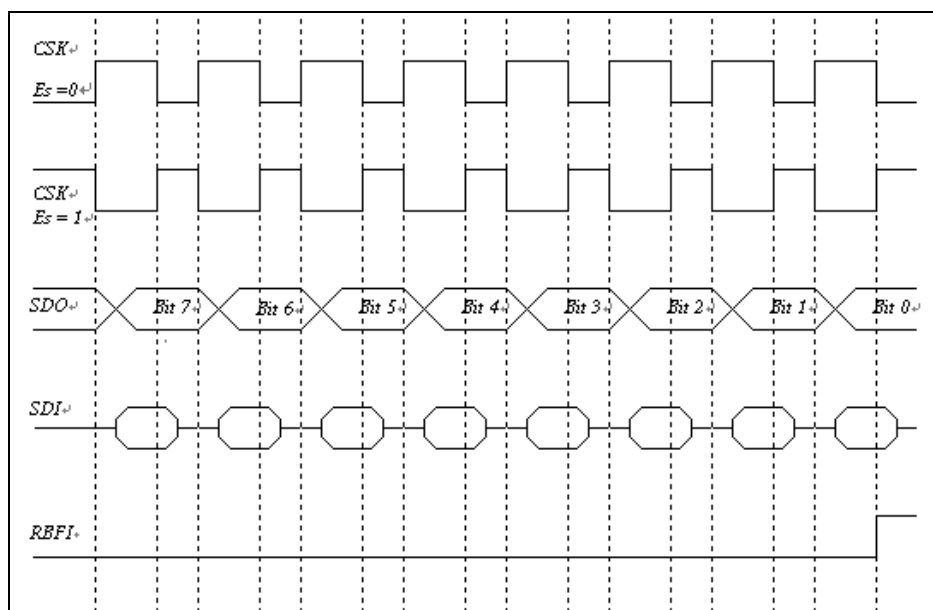


图6-24 SPI 模式且/SS禁止

设定 CES 位来选择 SCK 边沿。波形图（图 6-24）适用于 EM78P520N 在/SS 禁止时的主控或从模式。波形图（图 6-25）适用于 EM78P520N 在/SS 使能时的从模式。

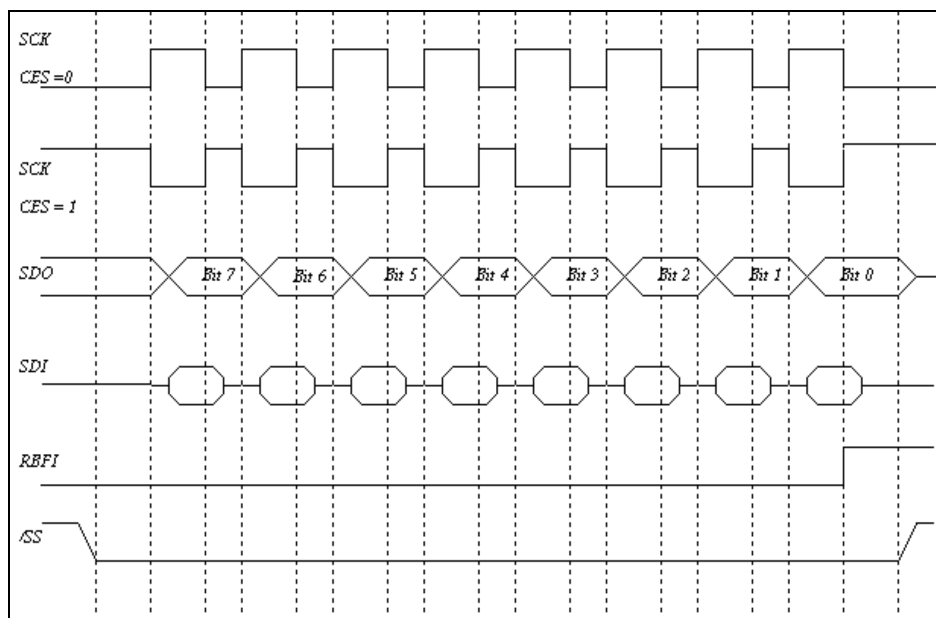


图6-25 SPI模式且/SS使能

## 6.13 定时/计数器 1

定时/计数器 1 相关寄存器

R_BANK	地址	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bank 2	0X05	T1CR	TIS1	TIS0	T1MS2	T1MS1	T1MS0	T1P2	T1P1	T1P0
			W	W	W	W	W	W	W	W
Bank 2	0X06	TSR	T1MOD	TRCB	T1CSS1	T1CSS0	T2CSS	T1S	T1OMS	T1OC
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Bank 2	0X07	T1PD	PRD1[7]	PRD1[6]	PRD1[5]	PRD1[4]	PRD1[3]	PRD1[2]	PRD1[1]	PRD1[0]
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Bank 2	0X08	T1TD	TD1[7]	TD1[6]	TD1[5]	TD1[4]	TD1[3]	TD1[2]	TD1[1]	TD1[0]
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Bank 0	0x0E	IMR	T1IE	LVDIE	ADIE	SPIIE	URTIE	EXIE9	EXIE8	TCIE
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Bank 0	0x0F	ISR	T1IF	LVDIF	ADIF	SPIIF	URTIF	EXIF9	EXIF8	TCIF
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

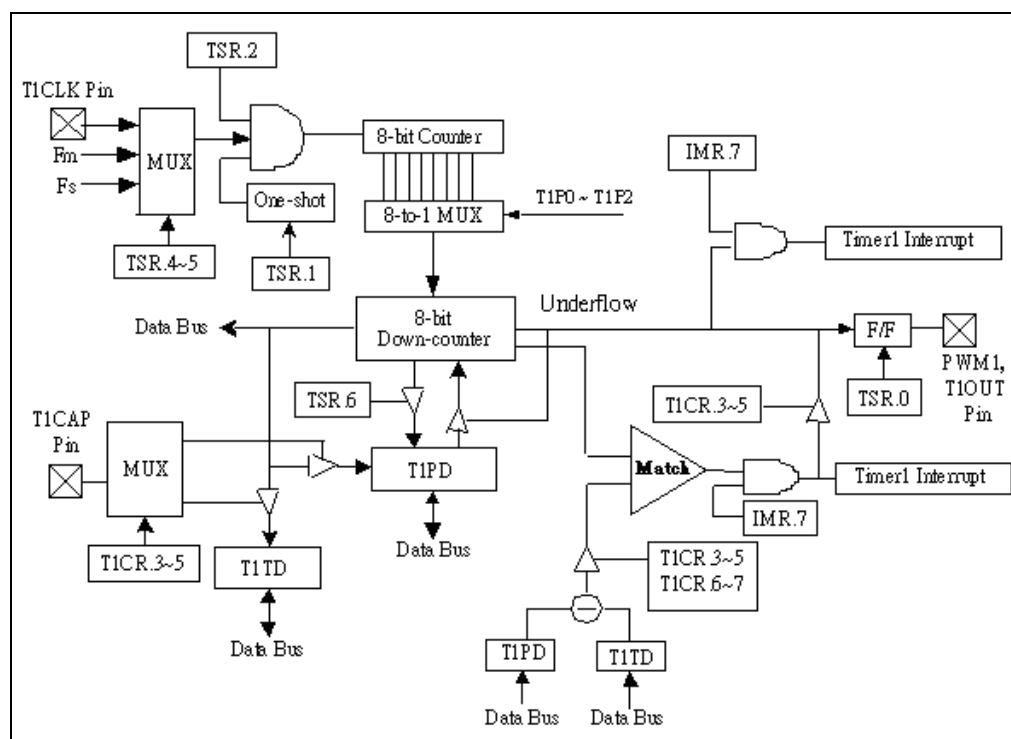


图6-26 定时/计数器1配置

### 6.13.1 定时器模式

在定时器模式，用内部时钟执行减操作。减计数器的值会从 T1PD 自动重装。当减计数器下溢时产生中断且计数器清零，计数器清零之后减操作重新开始。

### 6.13.2 T1OUT模式

在定时器 1 下溢输出模式，使用带预分频的内部时钟或通过 T1CLK 引脚的外部时钟或带预分频的副频来执行减操作。当计数器下溢时，计数器值从 T1PD 装载。每次溢出，F/F 输出取反，计数器从 T1PD 自动重载。F/F 输出取反且输出到 T1OUT 引脚。这种模式产生 50% 占空比的脉冲输出。程序可以初始化 F/F 和在复位时初始化到“0”。当 T1OUT 输出取反时就产生了一个 T1OUT 中断。

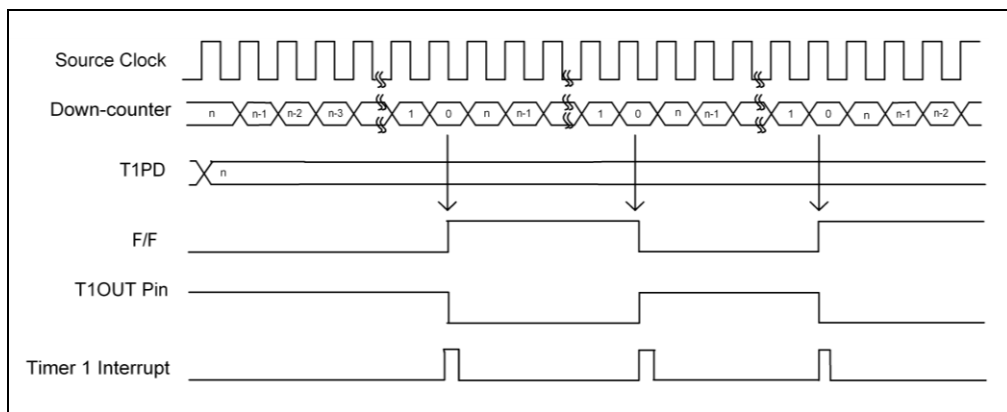


图6-27 T1OUT模式时序图

### 6.13.3 捕捉模式

在捕捉模式，T1CAP 引脚的脉冲宽度、周期和占空比都测量，用于遥控信号的解码。计数器是一个自由运行的内部时钟。在 T1CAP 引脚的上升沿（下降沿），计数器的内容装载到 T1PD，计数器清零和产生中断。计数器仍然计数，在 T1CAP 引脚的下一个下降（上升）沿，计数器的内容装载到 T1PD，计数器清零并再次产生中断。在检测到边沿之前如果发生了溢出，00H 装载到 T1PD 且产生下溢中断。在处理中断过程中，它会通过检测 T1PD 的值是否为 00H 来判断是否有溢出。一个中断产生后（捕捉 T1PD 或溢出检测），捕捉和溢出检测都暂停直到 T1PD 读出。

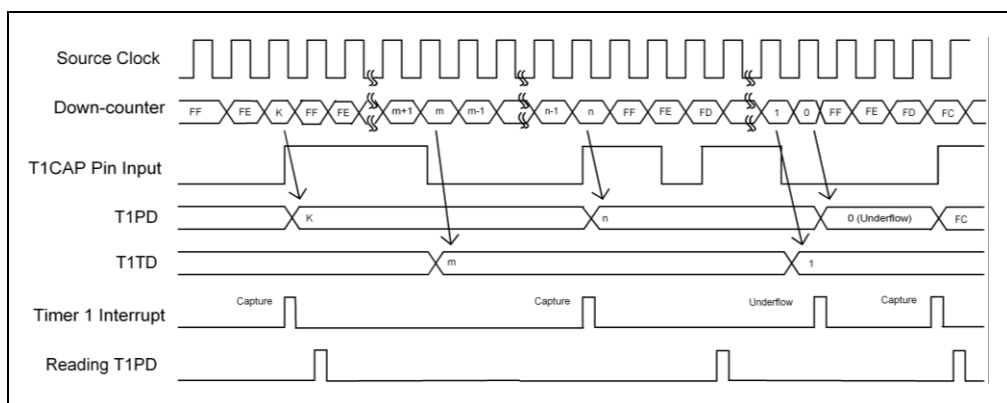


图6-28捕捉模式时序图

### 6.13.4 PWM模式

在脉冲宽度调制(PWM)输出模式，使用带预分频的内部时钟或 T1CLK 引脚的外部时钟或带预分频的副频来执行减法计数。PWM1 的占空比由 T1TD 控制，周期由 T1PD 控制。当 T1TD 的计数值大于或等于零时，PWM1 引脚的脉冲保持在高电平，直到 T1PD 的计数值下溢时脉冲才为低电平、F/F 取反；当计数器下溢时，计数器仍然计数，当计数器下溢 F/F 再次取反，接着计数器自动把值装载到 T1PD，F/F 输出取反后输出到/PWM 引脚。每次定时器 1 下溢中断产生，T1PD 被配置为一个 2 级的移位寄存器。在输出期间，不会改变直到输出周期完成，即使 T1PD 重写，因此输出状态能不断的改变。在数据装载到 T1PD 后设 T1S 到“1”为 T1PD 移位第一次。

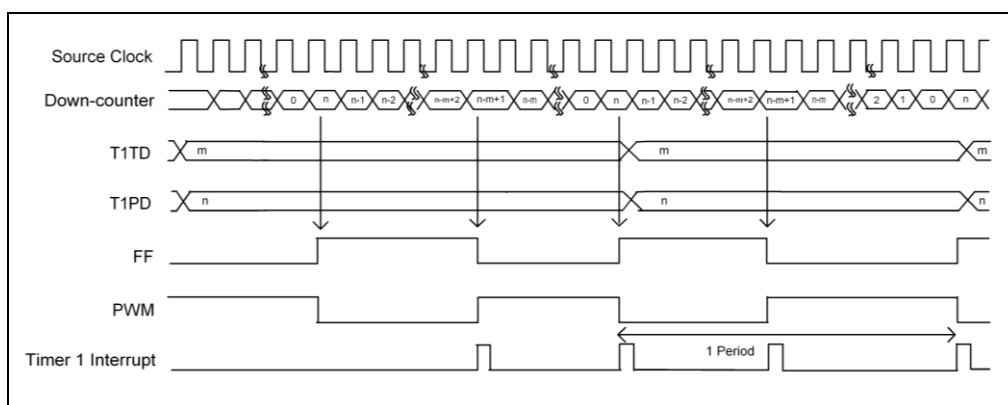


图6-29 PWM模式时序图

### 6.13.5 16位模式

在 16 位定时器模式，定时器 1 的所有功能变成 16 位。

## 6.14 定时器2

定时器2功能寄存器

R_BANK	地址	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bank 2	0X06	<b>TSR</b>	T1MOD	<b>TRCB</b>	T1CSS1	T1CSS0	<b>T2CSS</b>	T1S	T1OMS	T1OC
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Bank 2	0X09	<b>T2CR</b>	<b>T2IF</b>	<b>T2IE</b>	<b>T2S</b>	<b>T2MS1</b>	<b>T2MS0</b>	<b>T2P2</b>	<b>T2P1</b>	<b>T2P0</b>
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Bank 2	0X0A	<b>T2PD</b>	<b>PRD2[7]</b>	<b>PRD2[6]</b>	<b>PRD2[5]</b>	<b>PRD2[4]</b>	<b>PRD2[3]</b>	<b>PRD2[2]</b>	<b>PRD2[1]</b>	<b>PRD2[0]</b>
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Bank 2	0X0B	<b>T2TD</b>	<b>TD2[7]</b>	<b>TD2[6]</b>	<b>TD2[5]</b>	<b>TD2[4]</b>	<b>TD2[3]</b>	<b>TD2[2]</b>	<b>TD2[1]</b>	<b>TD2[0]</b>
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

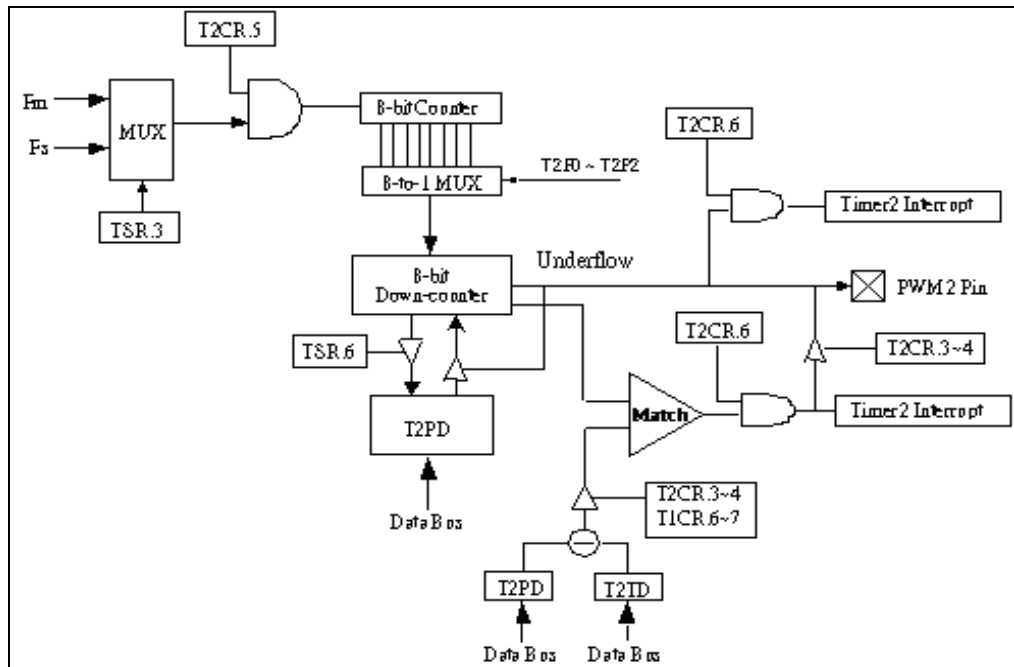


图6-30 定时器2配置

### 6.14.1 定时器模式

在定时器模式，使用带预分频的内部时钟来执行减法计数。当 T2PD 的计数值下溢，产生中断且计数器清零，计数器清零之后减法计数重新开始。计数值自动装载到 T2PD。

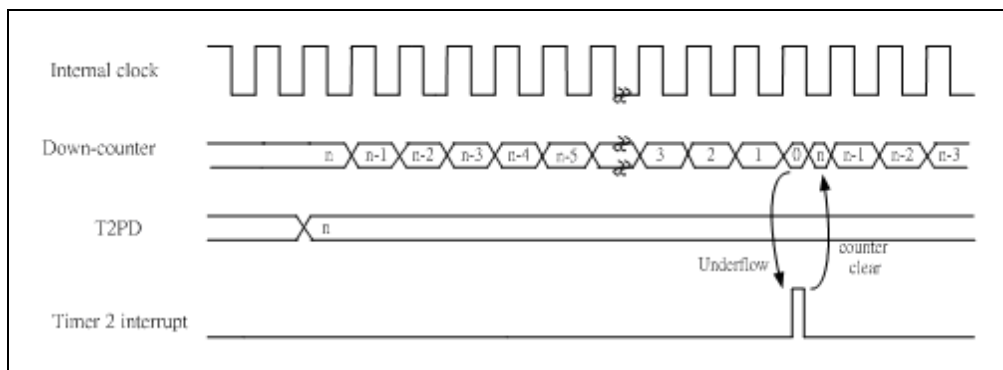


图6-31 定时器模式时序图

### 6.14.2 PWM模式

在脉冲宽度调制（PWM）输出模式，使用带预分频的内部时钟或带预分频的副频来执行减法计数。PWM2 的占空比由 T2TD 控制，周期由 T2PD 控制。当 T2TD 的计数值大于或等于零时 PWM2 引脚的脉冲保持为高电平，直到 T2PD 的计数值下溢时脉冲就为低电平。

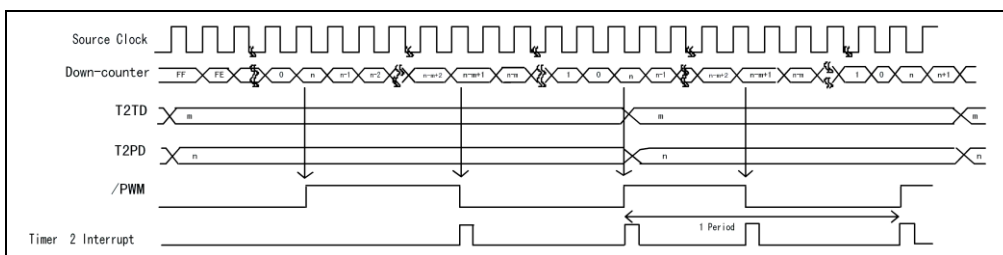


图6-32 PWM模式时序图

## 6.15 代码选项

EM78P520N 有 3 个代码选项字，它们不属于通用程序存储器，在通用程序执行时这些选项位不能被访问。代码选项寄存器和用户 ID 寄存器排列如下表：

Word 0	Word1	Word 2
Bit 12~Bit 0	Bit 12~Bit 0	Bit 12~Bit 0

### 1. 代码选项寄存器 (Word 0)

Word 0													
Bit	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Mnemonic	TYPE1	TYPE0	LVREN	LVR1	LVR0	ENWDTB	FSMD	FMMD1	FMMD0	HLP	保护		
1	高	高	使能	高	高	禁止	高	高	高	高	禁止		
0	低	低	禁止	低	低	使能	低	低	低	低	使能		

**Bits 12~11 (TYPE1~TYPE0):** 48 引脚或 44 引脚的型号选择。

TYPE1	TYPE0	型号选择
0	0	保留
0	1	保留
1	0	EM78P520N (44 引脚 LQFP/QFP)
1	1	EM78P520N (48 引脚 LQFP) (默认)

**Bit 10 (LVREN):** 低电压复位使能位

0 : 禁止

1 : 使能

**Bits 9~8 (LVR1~LVR0):** 低电压复位的电压值选择位

LVR1	LVR0	复位电压
0	0	2.6V
0	1	3.3V
1	0	3.9V

**Bit 7 (ENWDTB):** WDT 使能位

0 : 使能

1 : 禁止

**Bits 6~4 (FSMD, FMMD1~FMMD0):** 振荡器模式选择位

FSMD	FMMD1	FMMD0	主振荡器	副振荡器
0	0	0	RC 模式(ERIC)	RC 模式(ERIC)
0	0	1	晶振模式	RC 模式(ERIC)
0	1	0	PLL 模式	RC 模式(ERIC)
0	1	1	PLL 模式	RC 模式(ERIC)
1	0	0	RC 模式(ERIC)	晶振模式
1	0	1	晶振模式	晶振模式
1	1	0	PLL 模式	晶振模式
1	1	1	晶振	无

**Bit 3 (HLP):** 功耗选择位

0: 低功耗, 适用于工作频率为 4MHz 或 4MHz 以下

1: 高功耗, 适用于工作频率 4MHz 以上

**Bits 2~0 (Protect):** 保护位

Protect 是保护位, 保护类型如下:

0: 使能

1: 禁止

## 2. 代码选项寄存器 (Word 1)

Word 1													
Bit	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
助记符	-	-	-	-	-	-	-	HLFS	-	-	FCB0	FCB1	RESETENB
1	1	1	1	1	1	1	-	主振荡器	1	1	高	高	P81
0	-	-	-	-	-	-	0	副振荡器	-	-	低	低	/RESET

**Bits 12~7:** 不使用, 但必须一直为“1”, 以避免可能的错误

**Bit 6:** 不使用, 但必须一直为“0”, 以避免可能的错误

**Bit 5 (HLFS):** 主振荡器或副振荡器选择位

0: 当发生复位时, CPU 选择的是副振荡器

1: 当发生复位时, CPU 选择的是主振荡器

**Bits 4~3:** 不使用, 但必须一直为“1”, 以避免可能的错误

**Bits 2~1 (FCB0~FCB1):** 晶振频率选择位 (主振荡器)

FCB1	FCB0	工作频率
0	0	100k~1M
0	1	1M~6M
1	0	6M~12M
1	1	12M~20M

**Bit 0 (RESETENB):** 复位引脚使能位

0: 使能, P81//RESET → /RESET 引脚

1: 禁止, P81//RESET → P81

## 3. 用户 ID 寄存器 (Word 2)

Word 2													
Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
用户 ID													



## 6.16 指令集

指令集的每条指令为 13 位字宽，由操作码和一个或多个操作数组成。一般情况下，执行一条指令需要一个指令周期（一条指令需要两个时钟周期），程序计数器是通过指令 "MOV R2,A," "ADD R2,A,"或算术指令或逻辑指令对 R2 的操作进行改变 (如, "SUB R2,A," "BS(C) R2,6," "CLR R2," 等). 在这种情况下，这些指令需要两个指令周期。

在执行以下指令时需要两个指令周期：“LJMP”、“LCALL”、条件跳转指令（“JBS”、“JBC”、“JZ”、“JZA”、“DJZ”、“DJZA”）在测试为真时。对程序计数器写的指令也要两个指令周期。

另外,指令集有以下特性:

- (1) 任何寄存器的每个位可以被置 1，清零，或直接测试。
- (2) I/O 数据寄存器能作为一般寄存器，即相同指令可以对 I/O 数据寄存器进行操作。

惯例:

r = 寄存器（包括通用寄存器和工作寄存器）中某一个指定的寄存器。

R4的位6和位7选择寄存器BANK。

b = 当前寄存器R的一个指定位。

k = 8 或10位常数或立即数

助记符	操作	受影响的标志位
NOP	无操作	无
DAA	寄存器 A 的数由二进制调整为 BCD 码	C
SLEP	0 → WDT, 停止振荡	T, P
WDTC	0 → WDT	T, P
ENI	使能中断	无
DISI	禁止中断	无
RET	[栈顶] → PC	无
RETI	[栈顶] → PC,使能中断	无
MOV R,A	A → R	无
CLRA	0 → A	Z
CLR R	0 → R	Z

助记符	操作	受影响的标志位
SUB A,R	$R-A \rightarrow A$	Z, C, DC
SUB R,A	$R-A \rightarrow R$	Z, C, DC
DECA R	$R-1 \rightarrow A$	Z
DEC R	$R-1 \rightarrow R$	Z
OR A,R	$A \vee R \rightarrow A$	Z
OR R,A	$A \vee R \rightarrow R$	Z
AND A,R	$A \& R \rightarrow A$	Z
AND R,A	$A \& R \rightarrow R$	Z
XOR A,R	$A \oplus R \rightarrow A$	Z
XOR R,A	$A \oplus R \rightarrow R$	Z
ADD A,R	$A + R \rightarrow A$	Z, C, DC
ADD R,A	$A + R \rightarrow R$	Z, C, DC
MOV A,R	$R \rightarrow A$	Z
MOV R,R	$R \rightarrow R$	Z
COMA R	$\neg R \rightarrow A$	Z
COM R	$\neg R \rightarrow R$	Z
INCA R	$R+1 \rightarrow A$	Z
INC R	$R+1 \rightarrow R$	Z
DJZA R	$R-1 \rightarrow A$ , 如果为 0 跳过	无
DJZ R	$R-1 \rightarrow R$ , 如果为 0 跳过	无
RRCA R	$R(n) \rightarrow A(n-1), R(0) \rightarrow C, C \rightarrow A(7)$	C
RRC R	$R(n) \rightarrow R(n-1), R(0) \rightarrow C, C \rightarrow R(7)$	C
RLCA R	$R(n) \rightarrow A(n+1), R(7) \rightarrow C, C \rightarrow A(0)$	C
RLC R	$R(n) \rightarrow R(n+1), R(7) \rightarrow C, C \rightarrow R(0)$	C
SWAPA R	$R(0-3) \rightarrow A(4-7),$ $R(4-7) \rightarrow A(0-3)$	无
SWAP R	$R(0-3) \leftrightarrow R(4-7)$	无
JZA R	$R+1 \rightarrow A$ , 如果为 0 跳过	无

助记符	操作	受影响的标志位
JZ R	$R+1 \rightarrow R$ , 如果为 0 跳过	无
BC R,b	$0 \rightarrow R(b)$	无
BS R,b	$1 \rightarrow R(b)$	无 <sup>1</sup>
JBC R,b	如果 $R(b)=0$ , 跳过	无
JBS R,b	如果 $R(b)=1$ , 跳过	无
CALL k	$PC+1 \rightarrow [栈], (页, k) \rightarrow PC$	无
LCALL k	$PC+1 \rightarrow [栈], K \rightarrow PC$	无
JMP k	$(页, k) \rightarrow PC$	无
LJMP k	$K \rightarrow PC$	无
MOV A,k	$k \rightarrow A$	无
OR A,k	$A \vee k \rightarrow A$	Z
AND A,k	$A \& k \rightarrow A$	Z
XOR A,k	$A \oplus k \rightarrow A$	Z
RETL k	$k \rightarrow A, [栈顶] \rightarrow PC$	无
SUB A,k	$k-A \rightarrow A$	Z, C, DC
BANK k	$k \rightarrow R5(2:0)$	无
ADD A,k	$k+A \rightarrow A$	Z, C, DC

注:<sup>1</sup> 这条指令不能对中断状态寄存器操作

## 7 最大绝对值

项目	符号	条件	额定值		单位
			最小	最大	
电源电压	V <sub>DD</sub>	-	2.3	5.5	V
输入电压	V <sub>I</sub>	Port 7 ~ Port 9, Port A ~ Port C	GND-0.3	VDD+0.3	V
输出电压	V <sub>O</sub>	Port 7 ~ Port 9, Port A ~ Port C	GND-0.3	VDD+0.3	V
工作温度	T <sub>OPR</sub>	-	-40	85	°C
贮藏温度	T <sub>STG</sub>	-	-65	150	°C
功耗	P <sub>D</sub>	-	-	500	mW
工作频率(2clk)	-	-	32.768K	16M	Hz

## 8 直流电气特性

### 8.1 直流电气特性

■ Ta= 25°C, VDD= 5.0V±5%, VSS= 0V

符号	参数	条件	最小值	典型值	最大值	单位
Fc	晶振: VDD to 5V	两周期与两时钟	0.1		16	MHz
ERIC	ERIC: VDD to 5V	R: 51KΩ	F-20%	2.2221	F+20%	MHz
IIL	输入引脚输入漏电流	VIN = VDD, VSS	-1	0	1	μA
VIH1	输入高电压 (施密特触发器)	Ports 7, 8, 9, A, B, C	0.75VDD	-	VDD+0.3V	V
VIL1	输入低电压 (施密特触发器)	Ports 7, 8, 9, A, B, C	-0.3V	-	0.25VDD	V
VIHT1	输入高临界电压 (施密特触发器)	/RESET, INT	0.75VDD	-	VDD+0.3V	V
VILT1	输入低临界电压 (施密特触发器)	/RESET, INT	-0.3V	-	0.25VDD	V
VIHX1	时钟输入高电压	OSCI 在晶振模式	0.75VDD	-	VDD+0.3V	V
VILX1	时钟输入低电压	OSCI 在晶振模式	-0.3V	-	0.25VDD	V
IOH1	高驱动电流 1 (Port9)LED 使能	VOH = VSS+2.1V	8	10	15	mA
IOH2	高驱动电流 2 (Port7, 8, 9, A, B, C)	VOH = VDD-0.5V	7	9	12	mA
IOL1	低灌电流 1 (Port9)LED 使能	VOL = VDD-2.1	8	10	15	mA
IOL2	低灌电流 2 (Port7, 8, 9, A, B, C)	VOL = VSS+0.5V	16	18	21	mA

符号	参数	条件		最小值	典型值	最大值	单位
IPH1	上拉电流	激活上拉, 输入引脚接 VSS		-70	-75	-80	μA
LVR1	低电压复位级 1 (2.6V)	Ta = 25°C		2.31	2.6	2.89	V
		Ta = -40°C ~ 85°C		2.04	2.6	3.15	V
LVR2	低电压复位级 2 (3.3V)	Ta = 25°C		2.9	3.3	3.72	V
		Ta = -40°C ~ 85°C		2.53	3.3	4.05	V
LVR3	低电压复位级 3 (3.9V)	Ta = 25°C		3.46	3.9	4.33	V
		Ta = -40°C ~ 85°C		3.06	3.9	4.71	V
ISB1	休眠模式, 掉电电流	所有输入和 I/O 引脚接 VDD, 输出引脚悬空	WDT 禁止	-	1.1	-	μA
ISB2	休眠模式, 掉电电流		WDT 使能	-	6.6	-	μA
ICC1	空闲模式电流	/RESET=高, CPU 关停,副振荡器时钟 (32.768kHz) 打开,输出引脚悬空, WDT 禁止		-	4.7	-	μA
ICC2	空闲模式电流	/RESET=高, CPU 关停,副振荡器时钟 (32.768kHz) 打开,输出引脚悬空, WDT 使能,		-	10.3	-	μA
ICC3	空闲模式电流	/RESET=高, CPU 关停,副振荡器时钟 (32.768kHz) 打开,输出引脚悬空, WDT 禁止, LCD 使能		-	23.7	-	μA
ICC4	低速模式电流	/RESET=高, CPU 打开,使用副振荡器时钟 (32.768kHz), 输出引脚悬空, WDT 使能,		-	21.4	-	μA
ICC5	正常模式	/RESET=高, Fosc=4MHz (晶振类型, CLKS="0"), 输出引脚悬空, WDT 使能		-	1.48	-	mA
ICC6	正常模式	/RESET=高, Fosc=16MHz (晶振类型, CLKS="0"), 输出引脚悬空, WDT 使能		-	3.45	-	mA
RLCD	LCD 电压分度电阻	Ta = 25 °C		-	80	-	KΩ
ILCD1	所有 LCD 点亮	VLCD=5V, 除去 CPU 内核工作电流 (无控制板)		-	23.3	-	μA
ILCD2	所有 LCD 点亮	VLCD=3V, 除去 CPU 内核工作电流 (无控制板)		-	12.9	-	μA

- 注:**
1. 这些参数是理论值 (没有测试) 仅供设计参考
  2. 在最小值、典型值和最大值列下的数据是在25°C下的假定值, 仅供设计参考

## 8.2 A/D 转换器特性

■ VDD=2.5V 至5.5V, VSS=0V, Ta=-40至85°C

符号	参数	条件	最小	典型	最大	单位
VREF	模拟参考电压	VREF - VSS ≥ 2.5V	2.5	-	VDD	V
VSS			VSS	-	VSS	V
VAI	模拟输入电压	-	VSS	-	VREF	V
IAI1	模拟供电电流	VDD=VREF=5.0V, VSS = 0.0V (V 参考于 VDD)	750	850	1000	μA
			-10	0	+10	μA
IAI2	模拟供电电流	VDD=VREF=5.0V, VSS = 0.0V (V 参考于 VREF)	500	600	820	μA
			200	250	300	μA
RN1	分辨率	ADREF=0, 内部 VDD VDD=5.0V, VSS = 0.0V	-	9	10	Bits
RN2	分辨率	ADREF=1, 外部 VREF VDD=VREF=5.0V, VSS = 0.0V	-	11	12	Bits
LN1	线性误差	VDD= 2.5 到 5.5V Ta=25°C	0	±4	±8	LSB
LN2	线性误差	VDD= 2.5 到 5.5V Ta=25°C	0	±2	±4	LSB
DNL	差分非线性误差	VDD= 2.5 到 5.5V Ta=25°C	0	±0.5	±0.9	LSB
FSE1	满刻度误差	VDD=5.0V, VASS = 0.0V	±0	±4	±8	LSB
FSE2	满刻度误差	VDD=VREF=5.0V, VSS = 0.0V	±0	±2	±4	LSB
OE	偏移误差	VDD=VREF=5.0V, VSS = 0.0V	±0	±2	±4	LSB
ZAI	推荐模拟电压源阻抗	-	0	8	10	KΩ
ADIV	A/D 输入电压范围	VDD =VREF=5.0V, VSS = 0.0V	0	-	VREF	V
ADOV	A/D 输出电压漂移	VDD =VREF=5.0V, VSS = 0.0V, RL=10KΩ	0	0.2	0.3	V
			4.7	4.8	5	
TAD	A/D 时钟周期	VDD=VREF=5.0V, VSS = 0.0V	4	-	-	μs
TCN	A/D 转换时间	VDD=VREF=5.0V, VSS = 0.0V	15	-	15	TAD
PSR	电源滤波	VDD=5.0V±0.5V	±0	-	±2	LSB

- 注:
1. 这些参数是理论值 (没有测试) 仅供设计参考.
  2. 当ADC关闭时, 除了微小的漏电流外没有耗电流
  3. AD转换是线性的

## 8.3 锁相环特性

### 8.3.1 PLL直流电气特性

符号	参数	条件	最小	典型	最大	单位
VD	数字供电电压	-	4.5	-	5.5	V

### 8.3.2 交流电气特性

参数	条件			最小	典型	最大	单位
输入时钟	-			-	32.768	-	kHz
输出时钟	CLK2	CLK1	CLK0	-	-	-	-
	1	1	X	-	15.99	-	MHz
耗电流	普通模式			-	-	600	$\mu$ A
	掉电模式			-	-	1	$\mu$ A
锁存时间	-			-	-	200	$\mu$ s
稳定时间	-			-	3	5	ms

注: 1. 这些参数是理论值 (没有测试) 仅供设计参考  
 2. 规格修改不再通知.

## 8.4 器件特性

以下所列图示特性取自有限的样品, 并不保证它的准确性, 在此仅作参考。有些图片所示数据可能超出规格指定的工作范围。

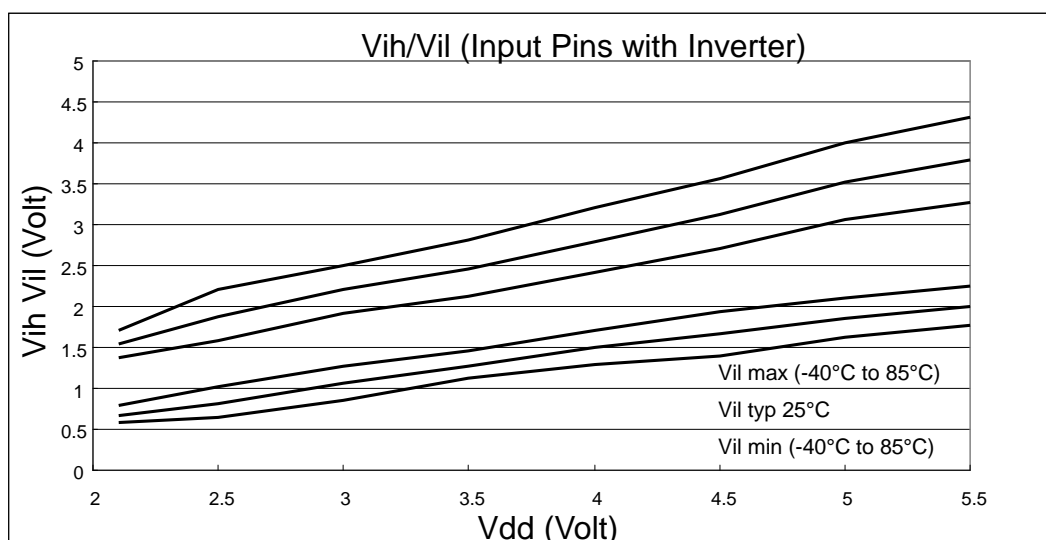


图8-1 Vih, Vil与VDD

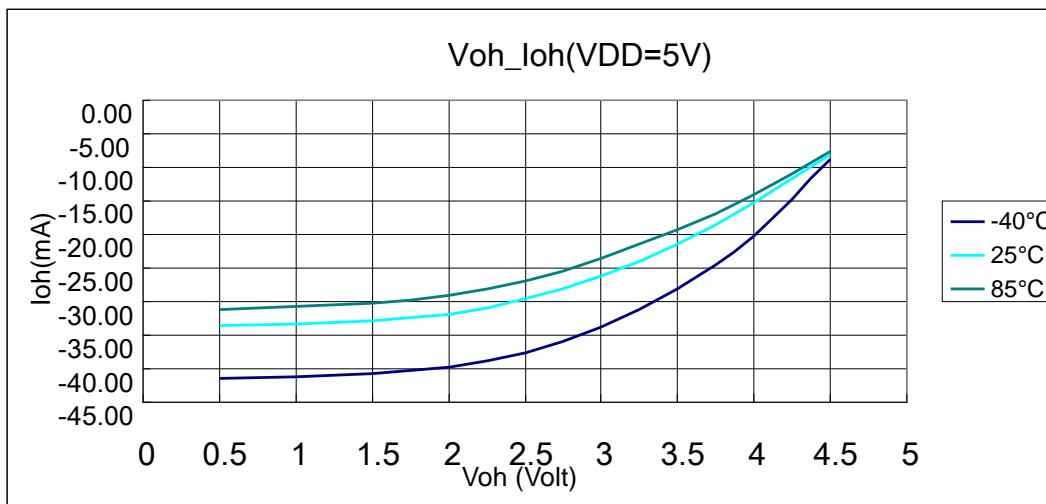


图8-2 Voh与Ioh, VDD=5V

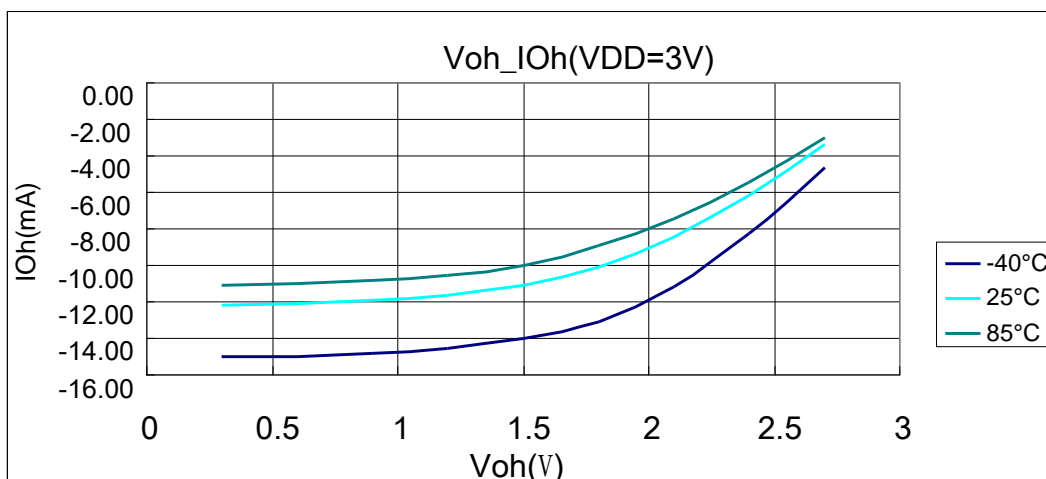


图8-3 Voh与IOh, VDD=3V

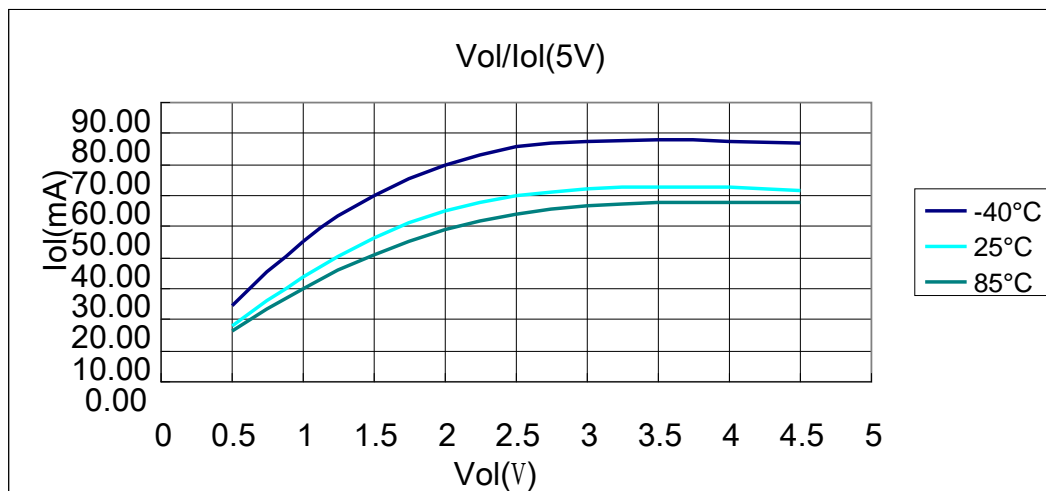


图8-4 Vol与Iol, VDD=5V



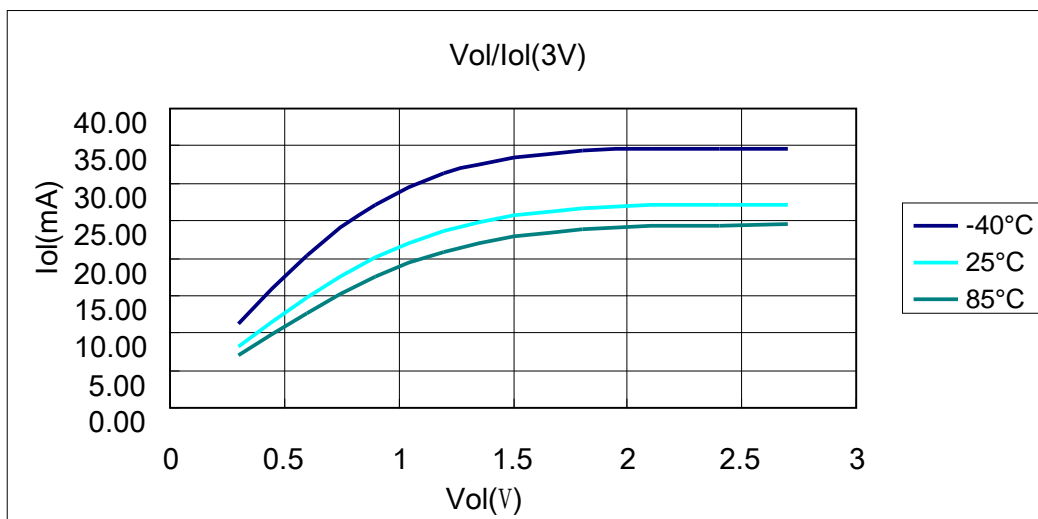


图8-5 Vol与Iol, VDD=3V

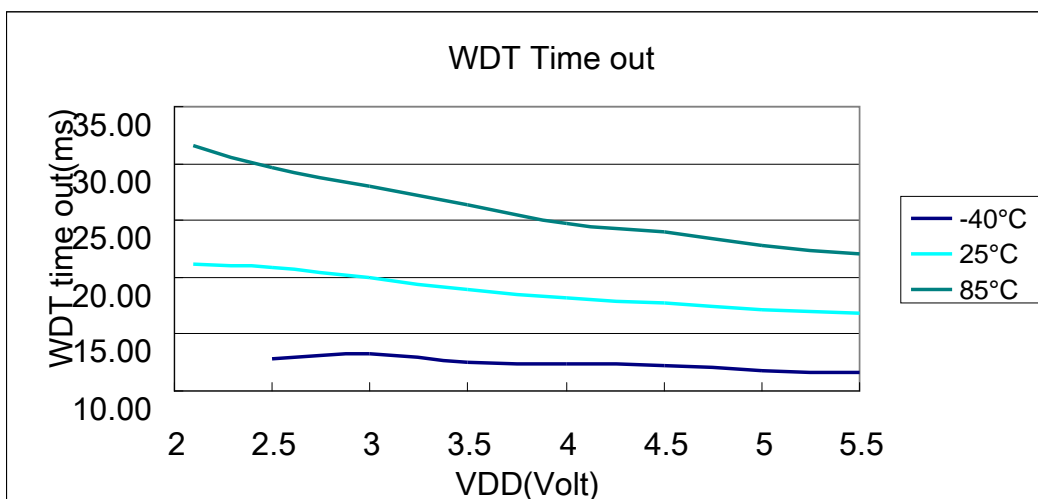


图8-6 WDT溢出周期与VDD, 预分频比设为1:1

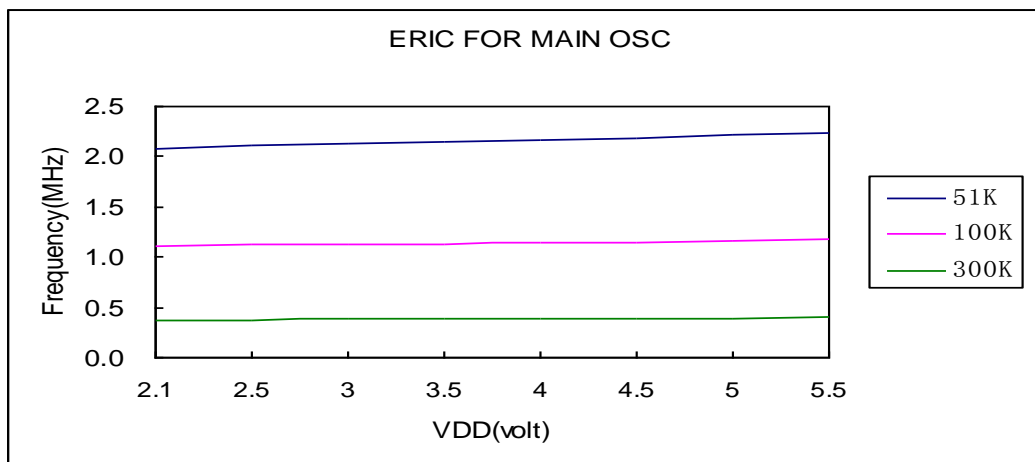


图8-7 ERIC 主振荡与 VDD

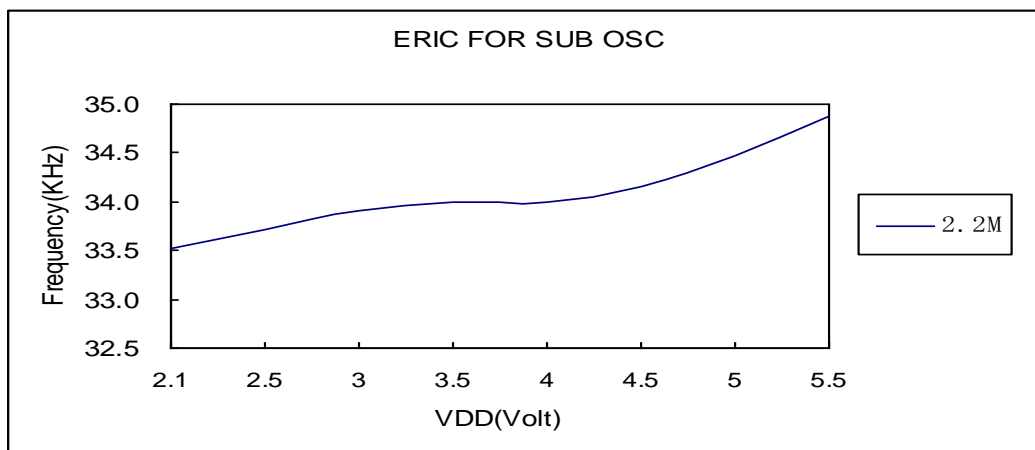


图8-8 ERIC 副振荡与 VDD

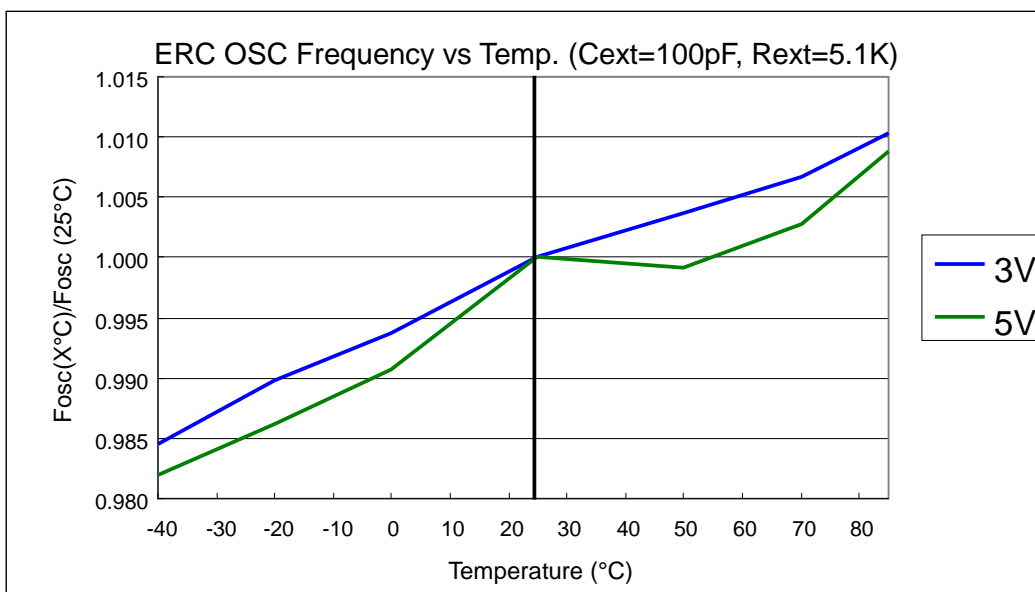


图8-9 ERIC 主振荡与温度

待机电流ISB1和ISB2有两个条件，这些条件是：

ISB1: WDT禁止(休眠模式)

ISB2: WDT使能(休眠模式)

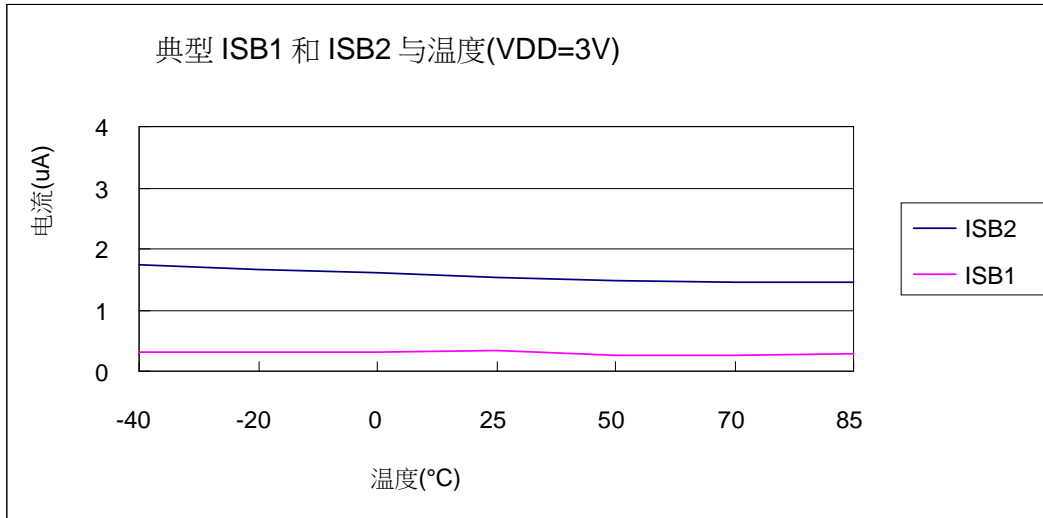


图8-11 典型待机电流与温度(VDD=3V)

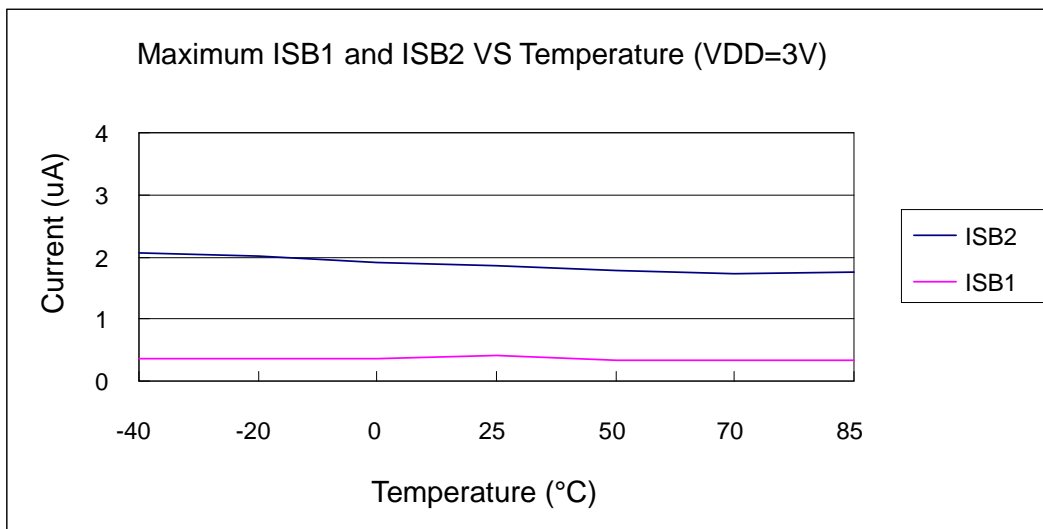


图8-12 最大待机电流与温度(VDD=3V)

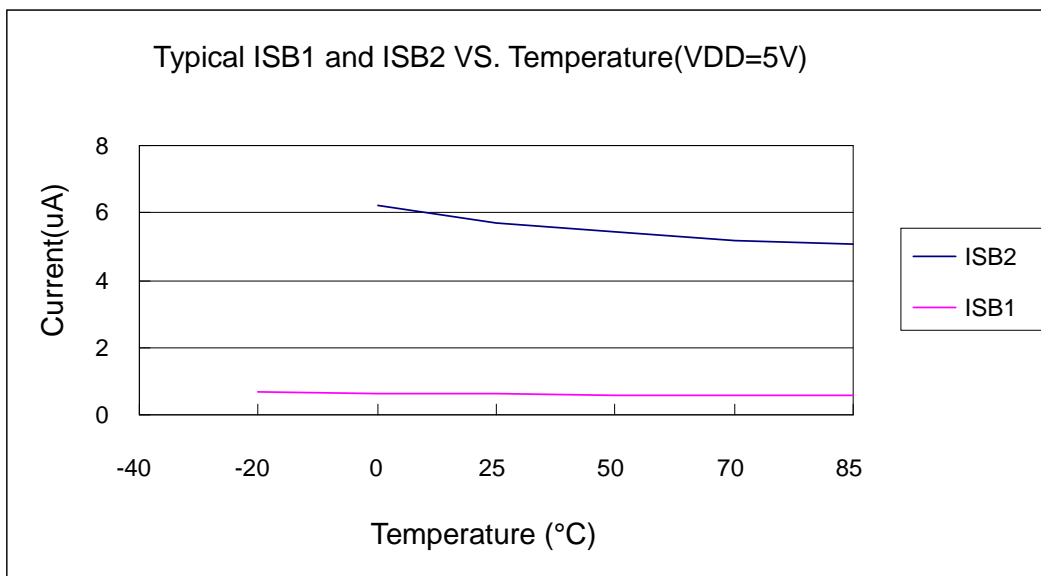


图8-13典型待机电流与温度(VDD=5V)

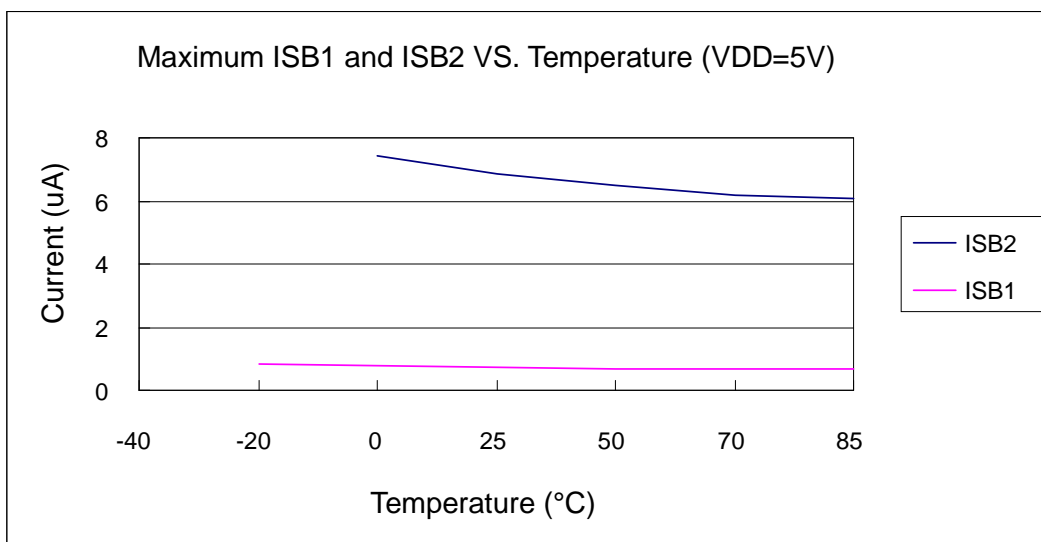


图8-14最大待机电流与温度(VDD=5V)

工作电流ICC1到ICC6有四种条件，如下：

ICC1: Fosc=32.768kHz, 2个时钟周期, WDT禁止(空闲模式)

ICC2: Fosc=32.768kHz, 2个时钟周期 WDT使能(空闲模式)

ICC4: Fosc=32.768kHz, 2个时钟周期, WDT使能(低速模式)

ICC5: Fosc=4MHz, 2个时钟周期, WDT使能(正常模式)

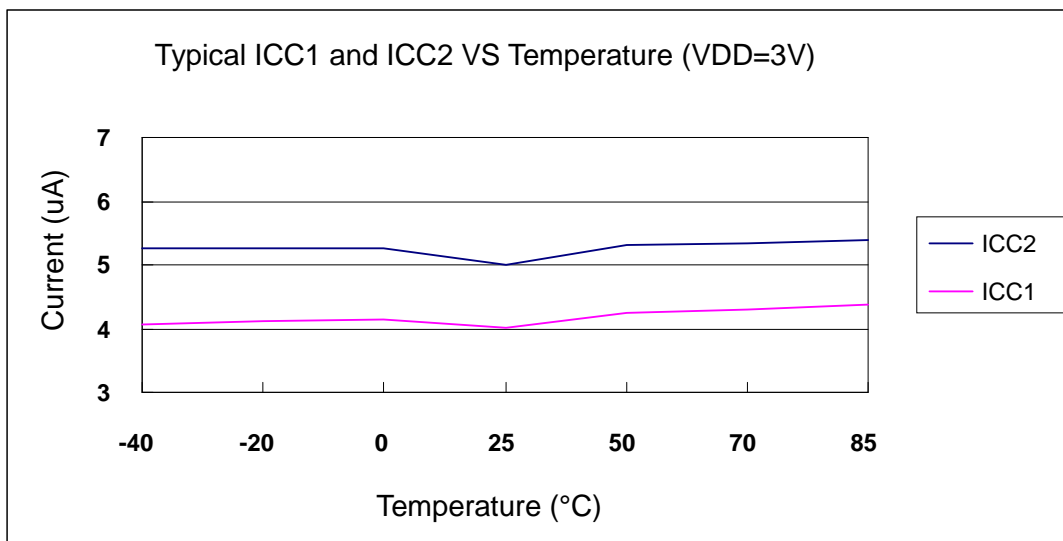


图8-15 典型工作电流与温度(VDD=3V)

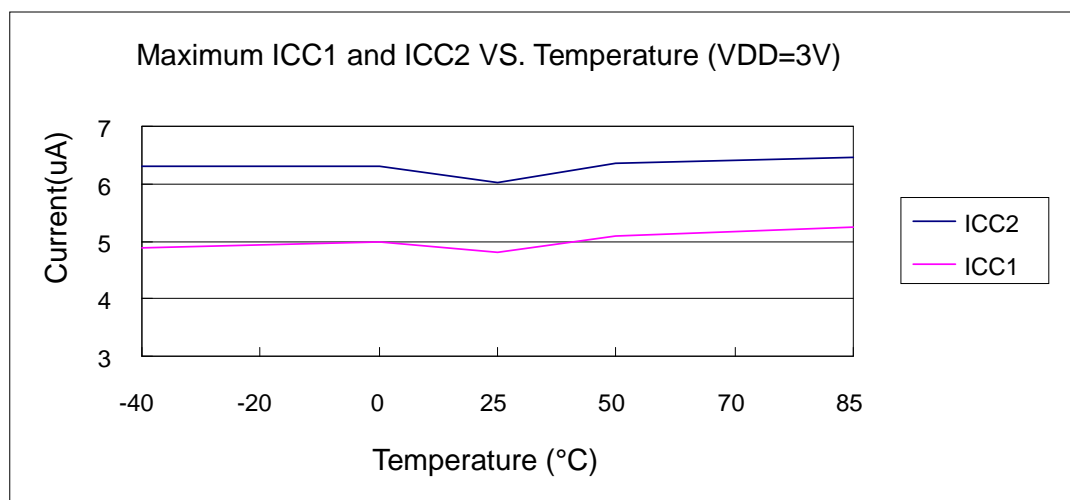


图8-16 最大工作电流与温度(VDD=3V)

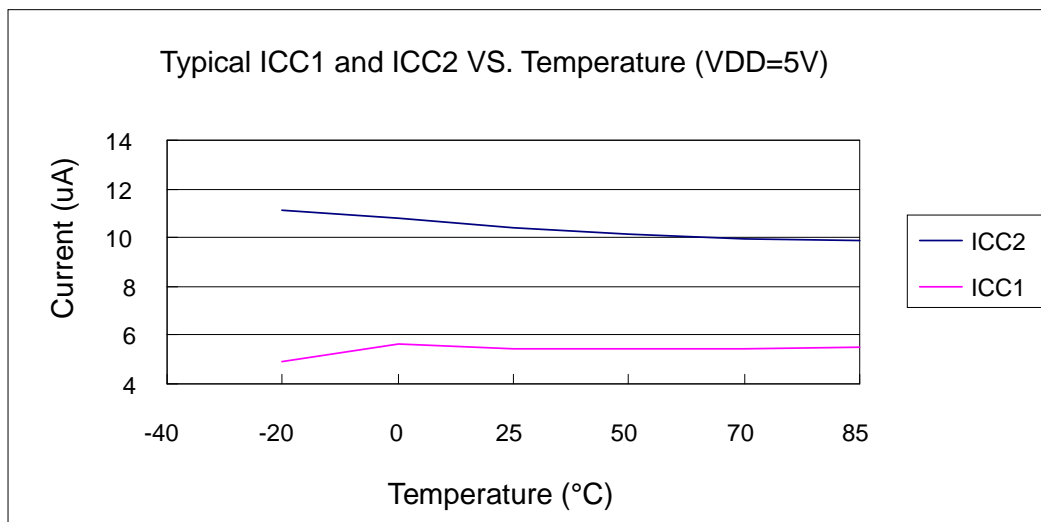


图8-17 典型工作电流与温度(VDD=5V)

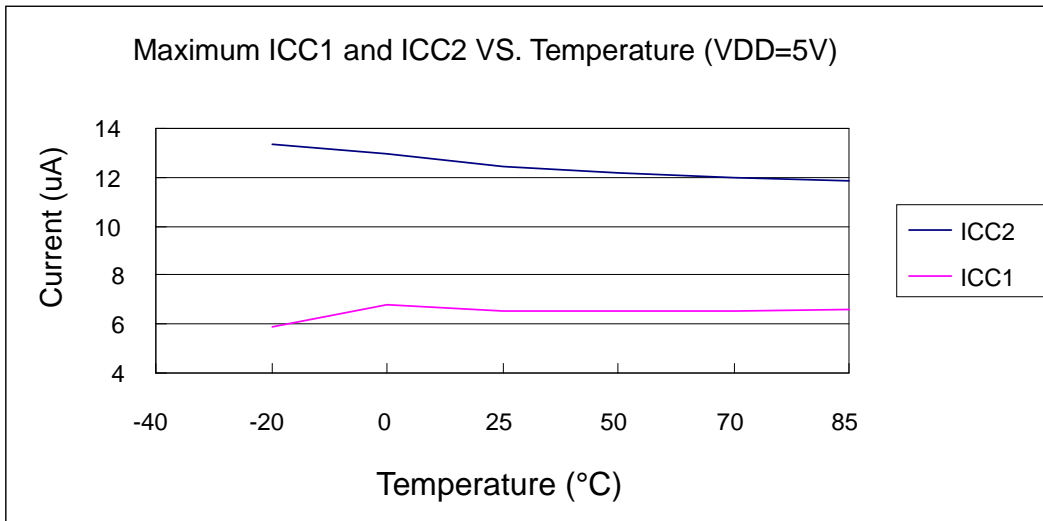


图8-18 最大工作电流与温度(VDD=5V)

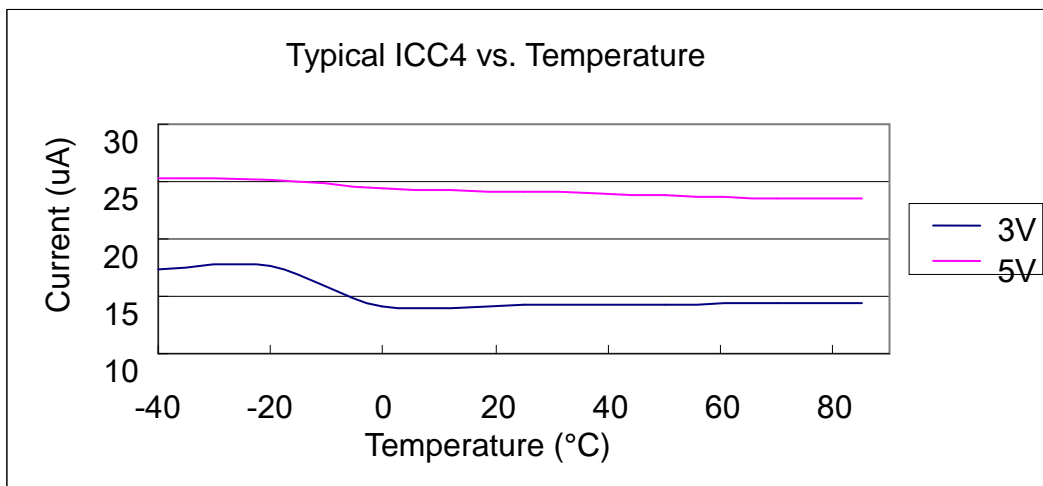


图8-19 典型工作电流与温度

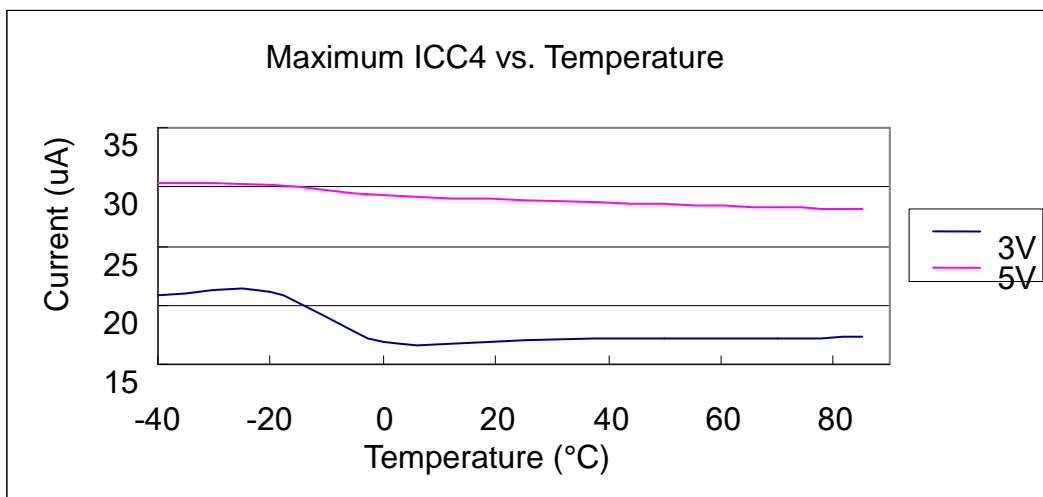


图8-20 最大工作电流与温度

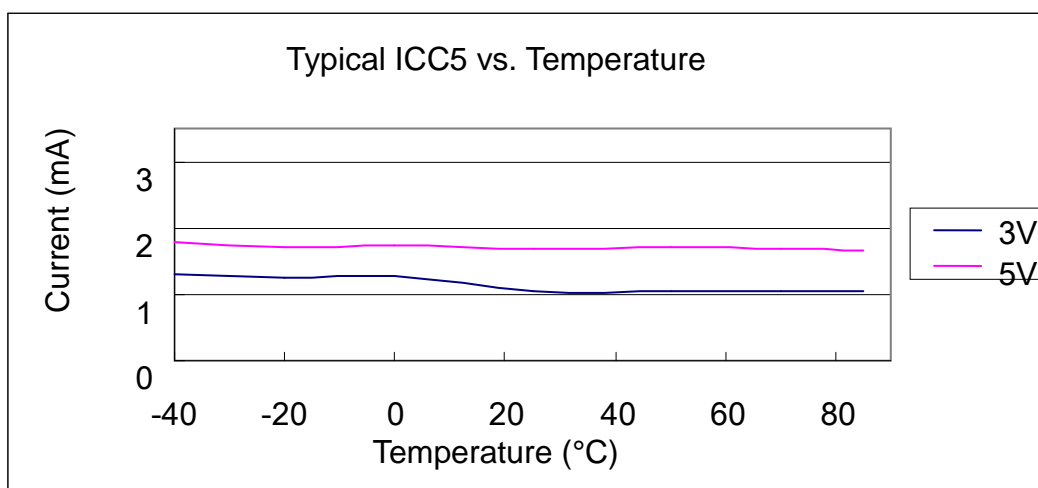


图8-21 典型工作电流与温度

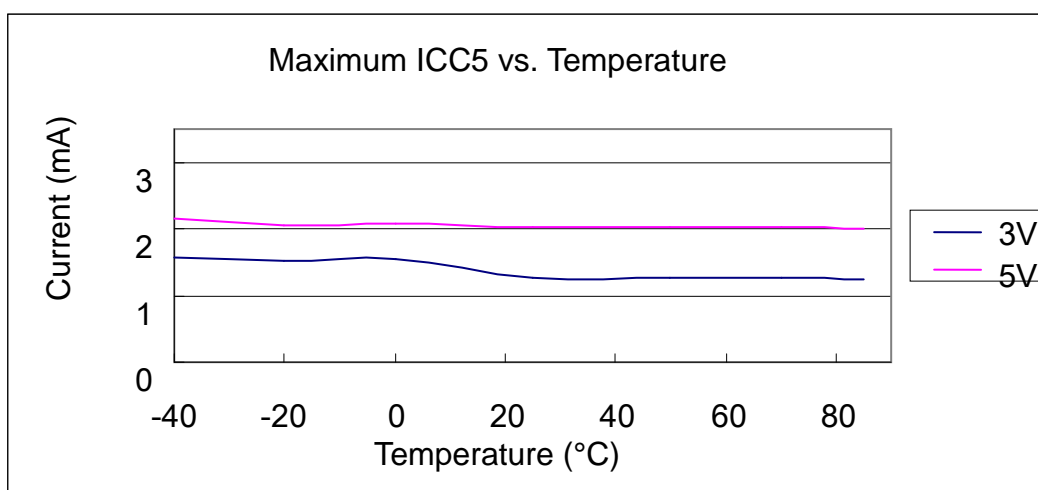


图8-22 最大工作电流与温度

## 9 交流电气特性

■ (Ta=- 40°C ~ 85°C, VDD=5V±5%, GND=0V)

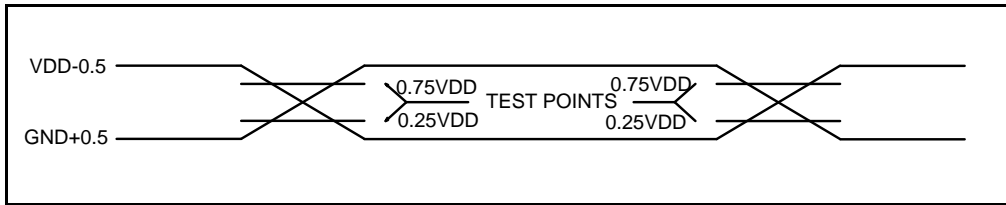
符号	参数	条件	最小	典型	最大	单位
Dclk	输入时钟占空比	-	45	50	55	%
Tins	指令周期时间(CLKS="0")	晶振类型	100	-	DC	ns
		RC 类型	500	-	DC	ns
Tdrh	器件复位保持时间	Ta = 25°C	11.3	16.2	21.6	ms
Trst	/RESET 脉冲宽度	Ta = 25°C	2000	-	-	ns
Twdt	看门狗定时器周期	Ta = 25°C	11.3	16.2	21.6	ms
Tset	输入引脚建立时间	-	-	0	-	ns
Thold	输入引脚保持时间	-	-	20	-	ns
Tdelay	输出引脚延迟时间	Cload=20pF	-	50	-	ns
Tiod	I/O 延时且 EMI 使能	Cload=150pF	4	5	6	ns

注: 这些参数是理论值没有经过测试。



## 10 时序图

### AC测试输入/输出波形



**注意：** AC 测试：输入驱动在 VDD-0.5V 为逻辑“1”，VSS+0.5V 为逻辑零“0”  
 时序测试在 0.75VDD 为逻辑“1”，0.25VDD 为逻辑“0”

图10-1a AC测试输入/输出波形时序图 Test

### 复位时序 (CLK="0")

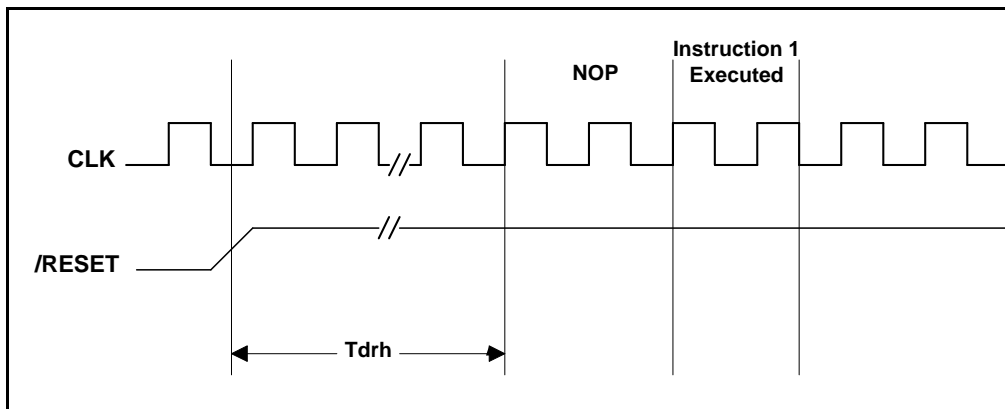
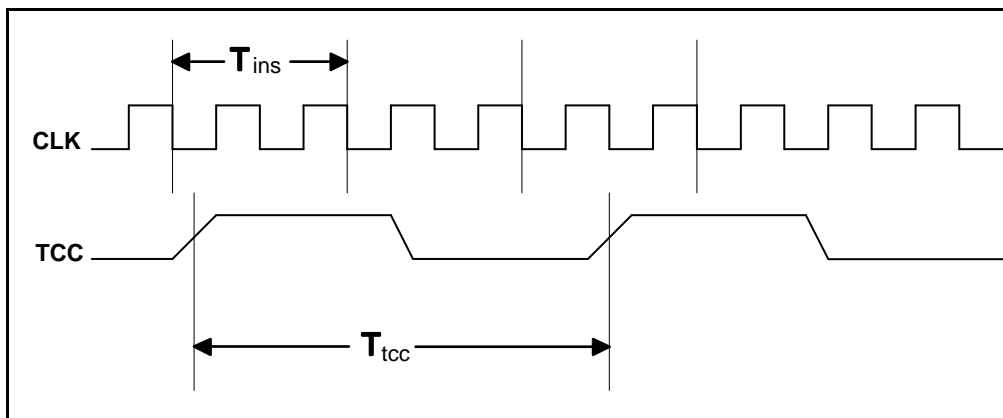


图 10-1b 复位时序图

### TCC输入时序 (CLKS="0")

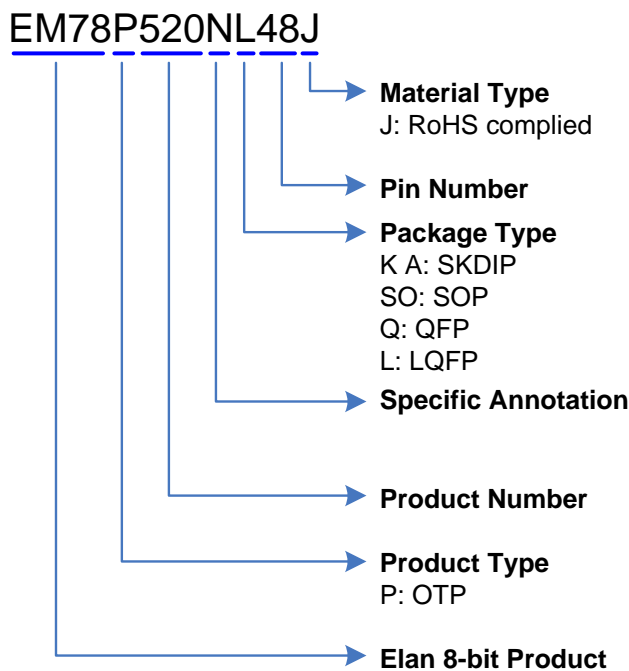


\* n = 0, 2, 4, 6

图10-1c TCC输入时序图

## 附录

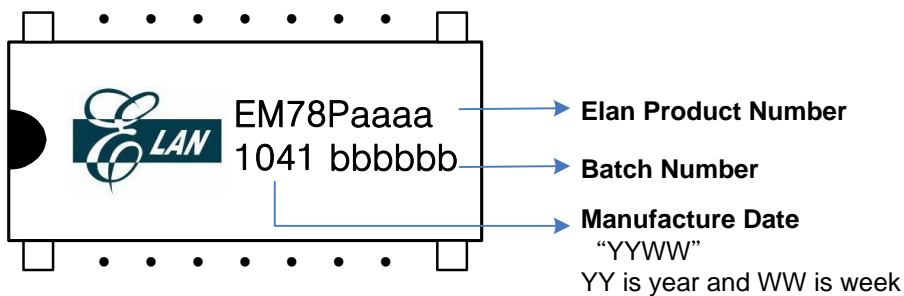
### A 编码和制造信息



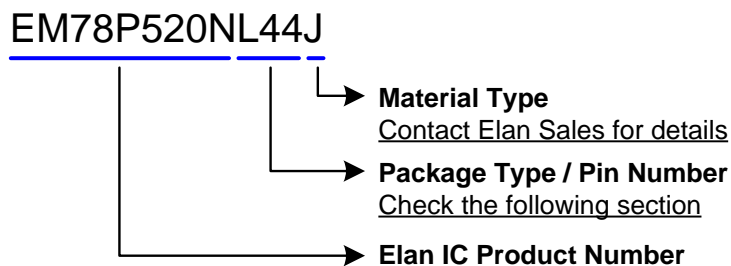
For example:

**EM78P520NL48J**

is EM78P520N with OTP program memory, industrial grade product, in 48-pin LQFP 7x7mm package with RoHS complied



### 编码信息



## B 封装类型

OTP MCU	封装类型	引脚数目	封装尺寸
EM78P520NQ44	QFP	44	10mm × 10mm
EM78P520NL44	LQFP	44	10mm × 10mm
EM78P520NL48	LQFP	48	7mm × 7mm

J/S: 绿色产品不包含危险物质

符合Sony SS-00259 第三版本标准

Pb 含量小于 100ppm

Pb 含量符合 Sony 规格说明

项目	EM78P520N <sub>x</sub> J/ <sub>x</sub> S
电镀类型	纯锡
成份(%)	Sn:100%
熔点(°C)	232°C
电阻率(μ uohm-cm)	11.4
硬度(hv)	8~10
伸长(%)	>50%

## C 封装信息

### C.1 EM78P520NQ44

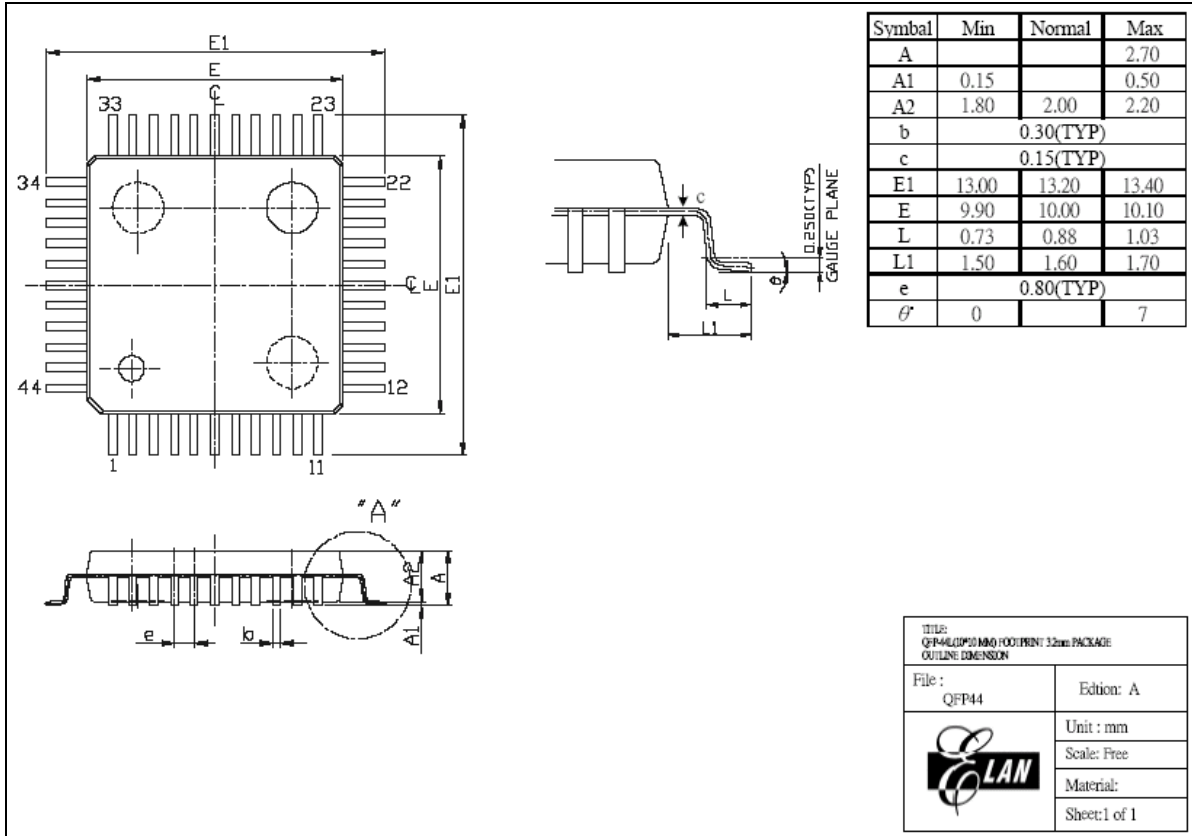


图 C-1 EM78P520N 44引脚 QFP 封装类型

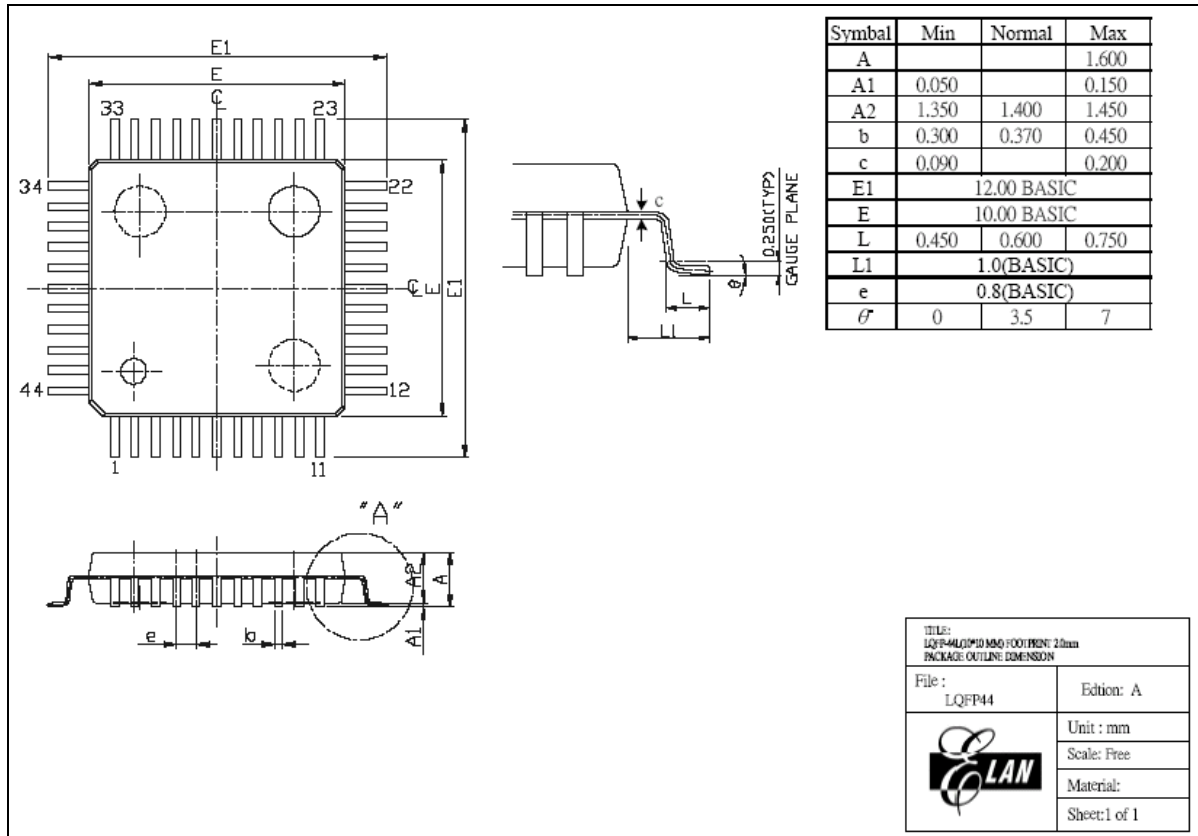
**C.2 EM78P520NL44**


图 C-2 EM78P520N 44引脚 LQFP 封装类型

### C.3 EM78P520NL48

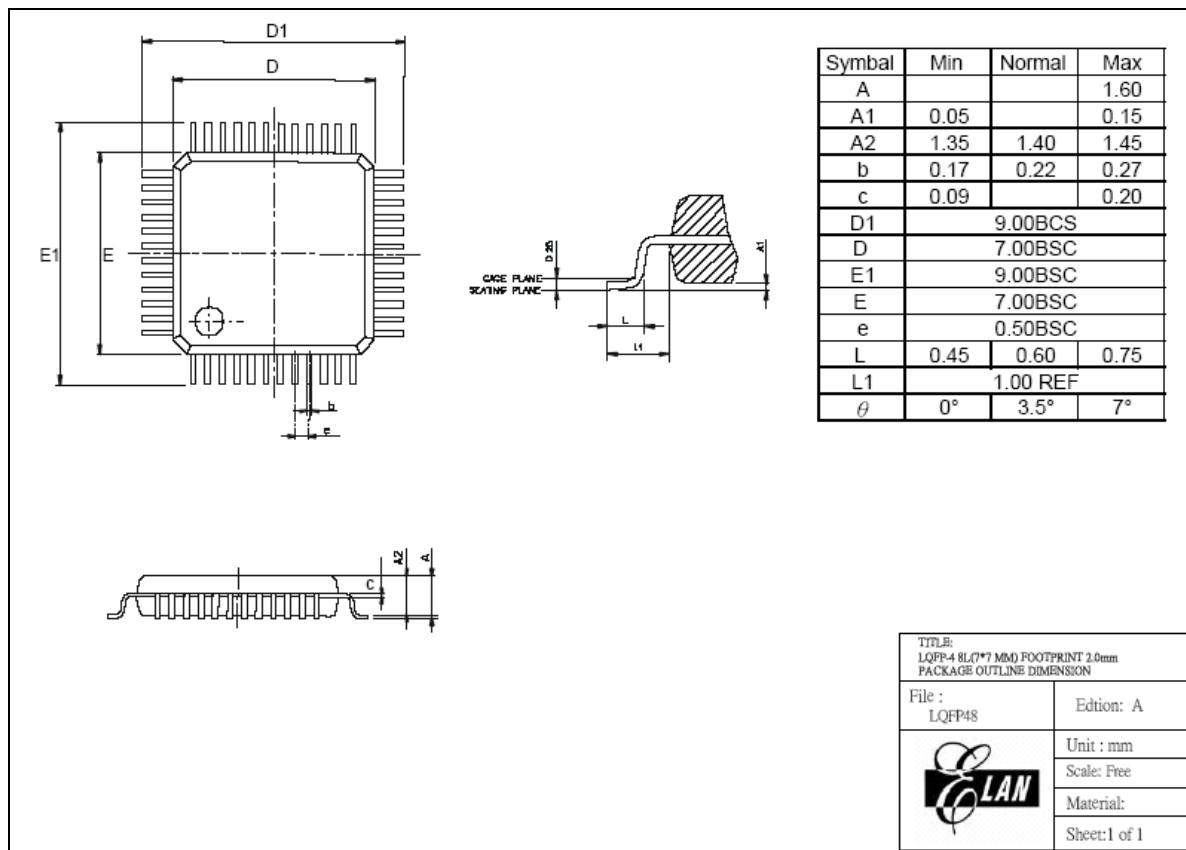


图 C-3 EM78P520N 48引脚 LQFP 封装类型

## D 品质保证与可靠性

测试类别	测试条件	备注
可焊性	焊料温度=245±5°C, 使用松香在上面停留 5 秒	
前提条件	步骤 1: TCT, 65°C (15 分钟)~150°C (15 分钟), 10 次	适合 SMD IC (例如 SOP, QFP, SOJ 等)
	步骤 2: 在 125°C 烘烤, TD (持续时间)=24 小时	
	步骤 3: 储存在 30°C/60%, TD (持续时间)=192 小时	
	步骤 4: IR 变化 3 次 (Pkg 厚度: 2.5mm 或 Pkg 体积: 350mm <sup>3</sup> ----225±5°C) (Pkg 厚度: 2.5mm 或 Pkg 体积: 350mm <sup>3</sup> ----240±5°C)	
温度周期测试	-65°C (15 分钟) ~ 150°C (15 分钟), 200 次	
高压锅测试	TA =121°C, RH=100%, 压强=2 atm, TD (持续时间)= 96 小时	
高温 /高湿测试	TA=85°C, RH=85%, TD (持续时间)=168, 500 小时	
高温保存期	TA=150°C, TD (持续时间)=500, 1000 小时	
高温工作寿命	TA=125°C, VCC=最大工作电压, TD (持续时间) =168, 500, 1000 小时	
Latch-up	TA=25°C, VCC=最大工作电压, 150mA/20V	
ESD (HBM)	TA=25°C, ≥   ± 3KV	IP_ND,OP_ND,IO_ND IP_NS,OP_NS,IO_NS IP_PD,OP_PD,IO_PD, IP_PS,OP_PS,IO_PS, VDD-VSS(+),VDD_VSS (-) 模式
ESD (MM)	TA=25°C, ≥   ± 300V	

### D.1 地址陷阱检测

地址陷阱检测是MCU嵌入式自动防止故障危害功能的一种，检测MCU由噪声或类似造成的功能故障。无论何时MCU试图从ROM区获取一条指令，内部恢复电路将自动开始。如果检测到噪声引起地址错误，MCU重复执行程序直到噪声消除。MCU将继续执行下一条指令。

## E EM78P520N 烧录引脚列表

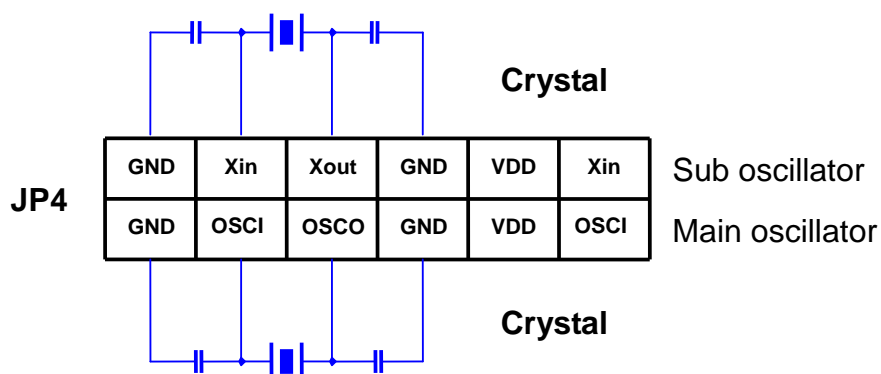
DWTR对EM78P520N烧录，DWTR连接器选择CON3（EM78P447）。软件选择EM78P520N

烧录引脚名称	IC 引脚名称	LQFP-48 引脚序号	L/QFP-44 引脚序号	SDIP/SOP-32 引脚序号
Pin #31	P75	2	2	29
Pin #30	P76	3	3	30
Pin #28	P77	4	4	31
Pin #8	VDD	5	5	32
Pin #10	VSS	6	6	1
Pin #34	TEST	9	9	4
Pin #29	PC2	10	10	5
Pin #32	PC3	11	11	6

## F ICE 520振荡电路 (JP4)

### F.1 模式1

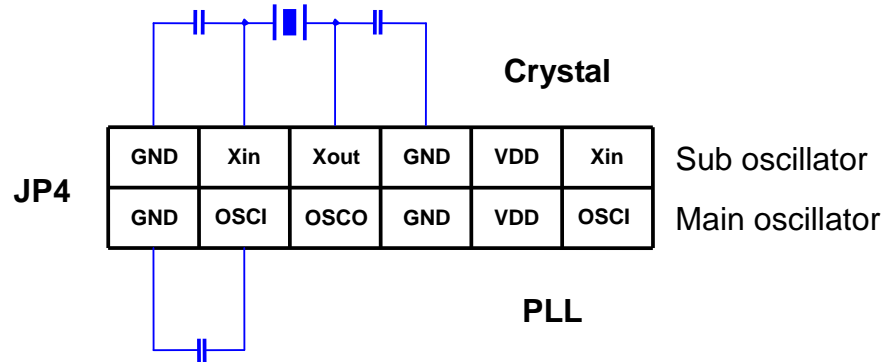
主振荡器：晶振模式，副振荡器：晶振模式





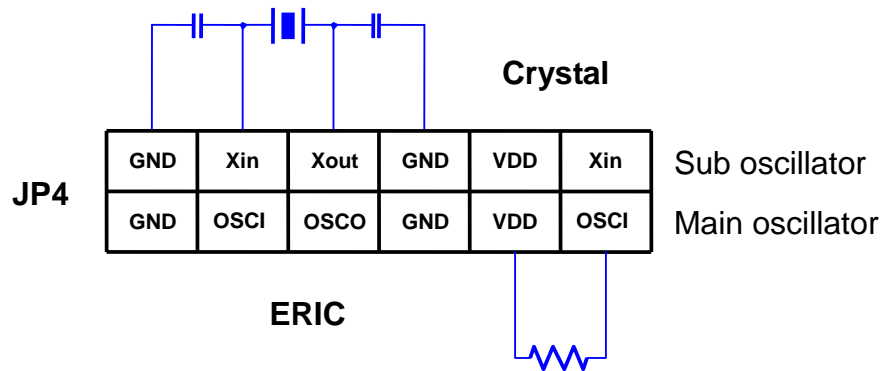
## F.2 模式2

主振荡器：PLL模式，副振荡器：晶振模式



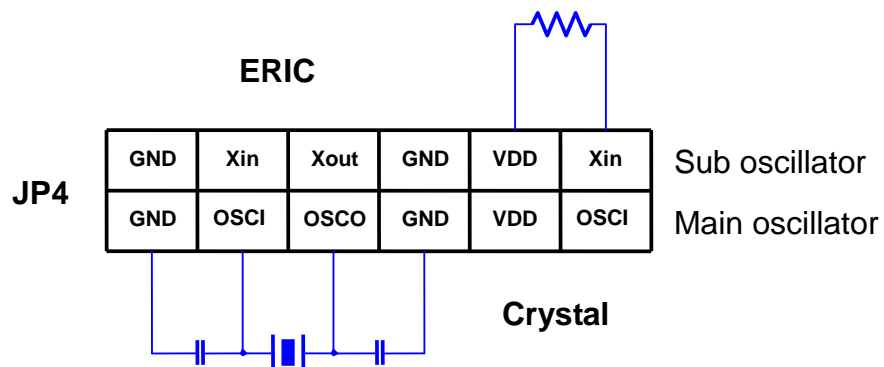
## F.3 模式3

主振荡器：ERIC模式，副振荡器：晶振模式



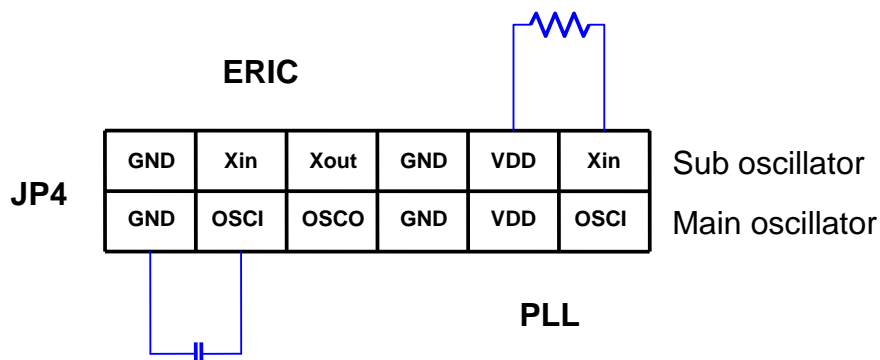
## F.4 模式4

主振荡器：晶振模式，副振荡器：ERIC模式



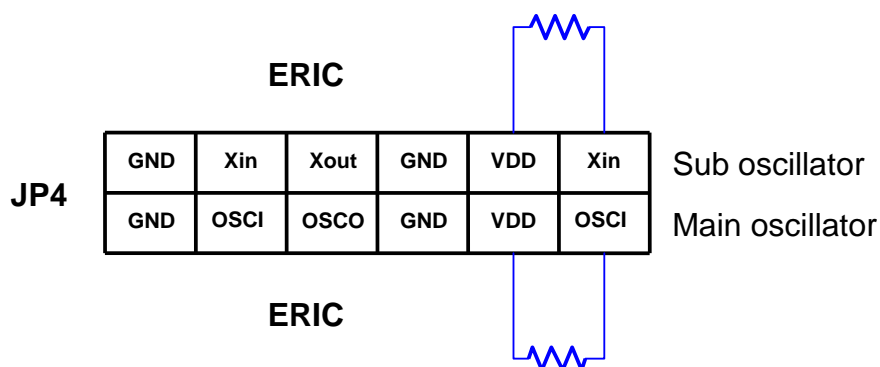
## F.5 模式5

主振荡器：PLL模式，副振荡器：RC模式



## F.6 模式6

主振荡器：RC模式，副振荡器：RC模式



## F.7 模式7

主振荡器：晶振模式，副振荡器：无

